

明 細 書

プラズマディスプレイパネル表示装置

技術分野

- [0001] 本発明は、プラズマディスプレイパネル (Plasma Display Panel) 表示装置に用いられる電力回路の低電力化技術に関する。

背景技術

- [0002] カラー表示用パネルとして、プラズマディスプレイパネル(以下「PDP」という。)が商品化されてきている。図20は商品化されている従来の面放電形式の3電極AC型PDPの電極配置と駆動回路構成を示した図である(例えば、非特許文献1参照)。
- [0003] 図20に示されるように3電極AC型PDPは、陽極および陰極となる電極(X電極およびY電極またはサステイン電極ともいう。)を、前面側の基板の上に平行に配列し、サステイン電極対と交差するようにアドレス電極を背面側の基板に配列する構造を有する。電極の各交点がアドレスされる放電セルとなる。サステインパルス波形を生成するX駆動回路と走査パルス選択のためのスキンドライバ経路にてY駆動回路とがサステイン電極に接続され、またアドレスパルス波形を生成するアドレス回路も点灯セルを選択するアドレスドライバ経路にてアドレス電極に接続されている。
- [0004] PDPは、発光／非発光の2値での発光制御しか行えないため、階調を表示するために、輝度の重み付けの異なる2値画像(サブフィールド)を複数連続して表示し、視覚の積分効果により1画像(1フィールド)として表示する。
- [0005] 図21は非特許文献1に記載されたサブフィールド期間に各電極に印加される駆動波形例を示すものである。全放電セルの書き込み、消去を行うリセット波形を印加するリセット期間、選択された放電セルに書き込みを行うアドレス波形を印加するアドレス期間、選択書き込みされた放電セルを維持放電させるサステイン波形を印加するサステイン期間(維持期間ともいう)がある。
- [0006] 各電極には、放電セルを発光させるために各々の期間に必要な種々の電圧値、パルス幅の異なる波形の電圧が印加される。例えば、図21の例では、リセット期間にはアドレス電極に60V、X電極に360Vの同期したパルスが印加される。アドレス期間に

はアドレス電極に60Vのパルス、各Y電極にはアドレス電極パルスの個々に同期した-170Vピークのパルスが-70Vのパルス電圧に重畳されて印加され、またX電極にはアドレス期間中は50Vが印加される。サステイン期間にはアドレス電極に60Vが印加され、X電極、Y電極には交互に180Vのパルスが印加される。このように種々のパルス電圧を印加するため、複数の電源回路が設けられている。このサブフィールドのサステイン期間のパルス数により輝度の重み付けを行う。このパルス数が多いほど発光時間が長くなり、輝度が高くなる。1フィールドは、サステイン期間中の発光可能パルス数が異なる8〜10枚程度のサブフィールドにより構成される。

- [0007] 図22は非特許文献1に記載された駆動波形を、RGB画像データから生成する駆動回路のブロック図である。RGB信号は一旦フレームメモリに蓄積され、I/Oバッファにて各サブフィールドのアドレス操作に対応してアドレスドライバに転送される。スキャン側への制御信号も同時に作られ同期したタイミングでY側ドライバに転送される。Xサステインパルスは直接各々の電極に印加され、Yサステインパルスはスキャンドライバ経由にて、アドレスパルスはアドレスドライバ経由にて各々の電極に印加され画像を表示する。
- [0008] 特に近年、PDP表示装置の大画面化や高精細化による画素数の増加が進んでいるが、それにともないパネルの放電や駆動回路に使用される電力も大きく増加している。このため、PDP表示装置における消費電力の削減技術が種々提案されている。
- [0009] 例えば、特許文献1には複数の行および列電極を備えたプラズマディスプレイパネルと、行および列選択信号に従い行および列電極をそれぞれ励振する複数の行および列ドライバと、行および列ドライバに互いに逆位相なる2相の高圧高周波パルスをそれぞれ供給する高圧高周波発振回路と、これに電力を供給する電源ユニットとで構成される表示装置において、電源ユニットから高圧高周波発振回路への電力供給線の途中に電流センサを設け、電流センサ出力により高圧高周波発振回路の発振周波数を可変し得るような構成を有するPDP表示装置が記載されている。
- [0010] 特許文献1に記載のPDP表示装置では、電源ユニットと高圧高周波発振回路の間に設けられたセンサが電源ユニットから流出する電流量を検知しており、このため、PDPの表示文字数が多くなり負荷電流が増加し高圧高周波発振回路への供給電流

が増加すると、高圧高周波発振回路の発振周波数を低下させる。そのためプラズマディスプレイパネルへの負荷電流が減少し、電源ユニットから流出する電流量は一定となり電力の増加が抑制される。

[0011] 特許文献1:特開昭56-119191号公報(全頁、第1図および第2図)

非特許文献1:内田龍男、他1名監修、“フラットパネルディスプレイ大事典”、2001年12月25日初版、株式会社 工業調査会 発行、(P612 図1および図2、P613-614 図1)

発明の開示

発明が解決しようとする課題

[0012] 前述の従来の構成においてはPDPに印加される高圧高周波パルス周波数を低下させるため表示輝度が低下する。従来の構成の適用例である文字表示タイプのPDPにおいては画面全領域に文字表示を行うことは極めて稀であり、表示輝度の低下は実用上問題とはならない。しかし、静止画、動画等を画面全領域にカラー表示するPDPにおいては表示輝度の低下は画像品質上の大きな問題となる。

[0013] 本発明は、上記の課題を解決するものであり、表示輝度の低下を伴うことなく、消費電力を低減するPDP表示装置を提供することを目的とする。

課題を解決するための手段

[0014] 本発明の第1の態様において、PDP表示装置は、複数の電極を有するプラズマディスプレイパネルと、電極に駆動波形を供給する駆動回路と、駆動回路に電力を供給する電源回路と、電源回路の停止期間をプラズマディスプレイパネルの発光状態に基づいて制御することによりプラズマディスプレイパネルの電極に供給可能な出力電力を調整する電力制御回路とを有している。この構成によって、プラズマディスプレイパネルの発光状態に基づいて電源回路の動作期間をその時点での必要最小限の動作期間に抑制でき、電源回路内にて消費される電力を低減することができる。

[0015] 電力制御回路は、電源回路の停止期間と動作期間の比率により出力電力を調整してもよい。

[0016] また電源回路がスイッチング方式にて構成される場合、電力制御回路による電源回路の停止期間と動作期間を合わせた一周期は、電源回路のスイッチング動作の一周

期より長くてもよい。

- [0017] また、電源回路がスイッチング方式にて構成される場合、電力制御回路による電源回路の停止／動作の繰り返しはランダムな周波数にて行われてもよい。この構成によって、電力制御回路による電源回路の停止／動作の繰り返しによる音の発生を抑制することができる。
- [0018] また、電源回路がスイッチング方式にて構成される場合、電力制御回路による電源回路の停止／動作の繰り返しは一定の周波数にて行われてもよい。この場合、電力制御回路による電源回路の停止／動作の繰り返し周波数は可聴周波数以上であるのが好ましい。この構成によって、電力制御回路による電源回路の停止／動作の繰り返しによる音の発生を抑制することができる。
- [0019] 上記の場合、電力制御回路による電源回路の停止／動作の繰り返し周波数は電源回路の駆動周波数に同期してもよい。さらに、電力制御回路による電源回路の停止／動作の繰り返し周波数は電源回路の駆動周波数の $1/n$ (n は正の整数)であってもよい。
- [0020] また電源回路は、トランスまたはインダクタと、トランスまたはインダクタに電源電圧を断続的に印加させるスイッチと、スイッチを駆動するスイッチ駆動手段と、スイッチ駆動手段を制御する制御手段とを含んでもよい。そのとき、電力制御回路は、プラズマディスプレイパネルの発光状態に基づいて電源回路を停止させるためにスイッチ駆動手段を停止させる駆動停止回路を備える。
- [0021] また、電力制御回路は、表示される画像情報に基づいて出力電力を調整してもよい。
- [0022] また電力制御回路は、アドレス期間において含まれるデータパルス数に基づいて出力電力を調整してもよい。
- [0023] また電力制御回路は、データパルス駆動用の電源回路の出力電流に基づいて出力電力を調整してもよい。
- [0024] また電力制御回路は、フレームメモリに記憶される表示前画像情報に基づいて出力電力を調整してもよい。
- [0025] 電源回路は共振方式または回生方式にて構成されてもよい。

[0026] 本発明の第2の態様において、PDP表示装置は、複数の電極を有するプラズマディスプレイパネルと、複数の制御期間の各々に対応した駆動波形を電極に供給する駆動回路と、駆動回路に電力を供給する複数の電源回路と、複数の電源回路のうち、各制御期間においてプラズマディスプレイパネルの電極に供給される駆動波形の生成に必要な電源回路の動作をその期間停止させる電力制御回路とを有している。この構成によって、ある制御期間においてプラズマディスプレイパネルへの印加波形に寄与しない電源回路を、その期間停止させることで電源回路内にて消費される電力を低減することができる。

[0027] 第2の態様において、電源回路は、トランスまたはインダクタと、トランスまたはインダクタに電源電圧を断続的に印加させるスイッチと、スイッチを駆動するスイッチ駆動手段と、スイッチ駆動手段を制御する制御手段とを含んでもよい。電力制御回路は、電源回路を停止させるためにスイッチ駆動手段を停止させてもよい。

[0028] 第2の態様において、電力制御回路は、リセット期間、アドレス期間、サステイン期間またはサブフィールド周期もしくはフィールド周期と同期して電源回路の動作を停止させてもよい。

発明の効果

[0029] 本発明のプラズマディスプレイパネル表示装置は、各制御期間毎に、その制御期間において各電極に供給される各々の波形に必要な電源回路を停止させる。停止により電源回路内にて消費される電力を削減することができる。または、プラズマディスプレイパネルの発光状態に基づいて電源回路の動作期間をその時点での必要最小限の動作期間に抑制でき、電源回路内にて消費される電力を低減することができる。また電力制御回路による電源回路の停止／動作の繰り返しによる音の発生を抑制することができる。以上より、表示輝度の低下を伴うことなく、消費電力を低減したプラズマディスプレイパネル表示装置を実現することができる。

図面の簡単な説明

[0030] [図1]本発明の実施の形態1のPDP表示装置のブロック図である。

[図2]電源回路群中の1つの電源回路と電力制御回路の詳細な構成を示したブロック図である。

[図3A]アドレス期間に必要とされる電源回路における不要期間制御回路停止回路と制御回路についての具体的な回路例を示した図である。

[図3B]図3Aに示す構成におけるリセット期間用信号、アドレス期間用信号、ORゲート出力、トランジスタのエミッタ電圧、制御回路の出力信号波形を示した図である((a)リセット期間用信号、(b)アドレス期間用信号、(c)ORゲート401aの出力、(d)トランジスタ401bのエミッタ出力、(e)制御回路302の出力信号(S)、(f)制御用信号(So))。

[図4]従来技術及び本発明のそれぞれの動作による、アドレス期間に必要とされる電源回路の構成がリングチョークコンバータ(RCC)構成である場合の、スイッチの電圧、電流およびトランスの2次巻線電流の波形を示した図である((a)従来のスイッチ304の電圧、(b)従来のスイッチ304の電流、(c)従来のトランス305の2次巻線電流、(d)本発明のスイッチ304の電圧、(e)本発明のスイッチ304の電流、(f)本発明のトランス305の2次巻線電流)。

[図5]本発明の実施の形態2におけるPDP表示装置の電源回路と電力制御回路の具体的な構成を示す図である。

[図6A]アドレス期間に必要とされる電源回路に対する不要期間ドライブ停止回路とドライブ回路についての具体的な構成例を示した図である。

[図6B]図6Aにおけるアドレス期間用信号、制御回路出力信号、ANDゲートの出力、ドライブ回路の出力信号波形を示した図である((a)アドレス期間用信号、(b)制御回路302の出力信号、(c)ANDゲート402aの出力、(d)ドライブ回路303の出力信号)。

[図7]従来技術及び本発明のそれぞれの動作による、アドレス期間に必要とされる電源回路の構成がRCC構成である場合の、スイッチの電圧、電流およびトランスの2次巻線電流の波形を示した図である((a)従来のスイッチ304の電圧、(b)従来のスイッチ304の電流、(c)従来のトランス305の2次巻線電流、(d)本発明のスイッチ304の電圧、(e)本発明のスイッチ304の電流、(f)本発明のトランス305の2次巻線電流)。

[図8]実施の形態2における別の例のPDP表示装置において、電源回路の構成を電流共振回路構成としたときの電源回路と電力制御回路の具体的な構成を示すブロッ

ク図である。

[図9]従来技術及び本発明のそれぞれの動作による、サステイン期間に必要とされる電源回路の構成がハーフブリッジ電流共振回路構成である場合の、トランスの1次巻線、2次巻線電流の波形を示した図である((a)従来のトランス305の1次巻線電流、(b)従来のトランス305の2次巻線電流、(c)従来のトランス305の2次巻線電流、(d)本発明のトランス305の1次巻線電流、(e)本発明のトランス305の2次巻線電流、(f)本発明のトランス305の2次巻線電流)。

[図10]本発明の実施の形態3におけるPDP表示装置のブロック図である。

[図11]電源回路と電力制御回路の詳細な構成を示したブロック図である。

[図12A]電力制御用ドライブ停止回路とドライブ回路の具体的な回路例を示した図である。

[図12B] n -V変換回路の入出力特性を示した図である。

[図13]図12Aにおけるアドレス期間用信号、アドレスドライバのドライブ信号、期間保持回路の出力信号、比較器の出力信号、制御回路の出力信号、電力制御の1周期分に対するANDゲートの出力信号およびドライブ回路の出力信号の波形を示した図である((a)アドレス期間用信号、(b)アドレスドライバ5bのドライブ信号、(c)期間保持回路403bの出力信号、(d)比較器403dの出力信号、(e)制御回路302の出力信号、(f)電力制御1周期分のANDゲート403eの出力信号、(g)電力制御1周期分のドライブ回路303の出力信号)。

[図14]分周期を用いた具体的な同期回路例を示した図である。

[図15]スイッチ304電流についての非同期および同期時の波形を示した図である((a)制御回路302の出力信号、(b)非同期時の比較器403dの出力信号、(c)非同期時のスイッチ304の電流、(d)同期時の比較器403dの出力信号、(e)同期時のスイッチ304の電流)。

[図16A]実施の形態3におけるPDP表示装置の別の例における電力制御用ドライブ停止回路とドライブ回路についての具体的な構成例を示した図である。

[図16B]出力電流-V変換回路の入出力特性を示した図である。

[図17]図16Aにおける、データパルス駆動用電源回路の出力電流、出力電流-V変

換回路の出力信号、比較器の出力信号、制御回路の出力信号、電力制御の1周期分に対するANDゲートの出力信号およびドライブ回路の出力信号の波形を示した図である((a)データパルス駆動用電源回路の出力電流、(b)出力電流-V変換回路403fの出力信号、(c)比較器403dの出力信号、(d)制御回路302の出力信号、(e)電力制御1周期分のANDゲート403eの出力信号、(f)電力制御1周期分のドライブ回路303の出力信号)。

[図18]実施の形態3におけるPDP表示装置の更なる別の例の構成を示した図である。

[図19A]電力制御用ドライブ停止回路とドライブ回路についての具体的な構成例を示した図である。

[図19B]図19Aにおける点灯率-V変換回路の入出力特性を示した図である。

[図20]従来の面放電方式3電極AC型PDPのパネル電極配置と駆動回路の構成を示した図である。

[図21]従来のサブフィールド期間に各電極に印加される駆動波形例を示す図である。

[図22]従来の面放電方式3電極AC型PDPの駆動回路のブロック図である。

符号の説明

- [0031] 1 プラズマディスプレイパネル(PDP)
2 駆動回路
3 電源回路群
3a、3b、3c、3x 電源回路
4 電力制御回路
5a スキャンドライバ
5b アドレスドライバ
6 画像処理回路
6a 画像処理部
6b フレームメモリ
6c I/Oバッファ

7 点灯率算出回路

401 不要期間制御回路停止回路

402 不要期間ドライブ停止回路

403 電力制御用ドライブ停止回路

発明を実施するための最良の形態

[0032] 以下、添付の図面を参照して、本発明に係るPDP表示装置の実施の形態について説明する。

[0033] (実施の形態1)

図1から図4を参照し、本発明に係るPDP表示装置の第1の実施形態について説明する。

[0034] 図1は本実施形態のPDP表示装置のブロック図である。PDP表示装置は、複数の電極を有するPDP(プラズマディスプレイパネル)1と、PDP1の電極に所定の制御期間に対応した駆動波形を生成し印加する駆動回路2と、駆動回路2経由にてPDP1に電力を供給する電源回路群3と、各期間信号により電源回路群3を動作、停止させる電力制御回路4とで構成される。

[0035] 図21に示されるように駆動波形を構成するために数種類の電源回路が必要であるため、電源回路群3は、それぞれ異なった電圧を生成する複数の電源回路3a、3b、…を含む。例えば、電源回路3aは50Vの電圧を、電源回路3bは60Vの電圧を、電源回路3cは180Vの電圧を生成する。各電源回路の電力は、担当する各期間の波形やパネルサイズにより数Wから数百Wになる。各電源回路は形状、消費電力の観点よりスイッチング方式により構成されるのが好ましい。

[0036] 本実施形態では、電源回路群3中の複数の電源回路の中で、リセット期間、アドレス期間及びサステイン期間の各期間において必要とされる電源回路のみを動作させるようにする。

[0037] 図2は、電源回路群3に含まれる電源回路と電力制御回路4の詳細な構成を示したブロック図である。なお、同図に示す構成は、各電源回路3a、3b、…に適用可能であり、参照符号として「3a」、「3b」、…を総称した「3x」を用いている。図2に示すように、電源回路3xはスイッチング方式にて構成される。電源回路3xは、直流電源301

の電圧をスイッチ304によりオン・オフしてトランス305の一次巻線に印加することにより、その2次巻線に交流パルス電圧を発生させ、整流平滑回路306にて所望のDC電圧に変換する。出力されるDC電圧はトランス305の巻数比とスイッチ304のオン・オフ比率により決まる。スイッチ304をオン・オフするドライブ回路303は制御回路302出力パルス(S)により駆動される。

- [0038] 電力制御回路4は不要期間制御回路停止回路401を含む。不要期間制御回路停止回路401は、ある制御期間(アドレス期間等)においてPDP1の電極に印加される波形の形成に寄与しない電源回路について、その期間その電源回路の動作を停止させるよう制御信号を出力する。
- [0039] 図3Aに、アドレス期間に必要とされる電源回路に対する不要期間制御回路停止回路401と制御回路302についての具体的な構成例を示す。図3Aに示す不要期間制御回路停止回路401を含む電源回路は、アドレス期間中に必要な電源を供給する電源回路(たとえば図19に示す-170V電源回路)であり、アドレス期間中のみ動作し、リセット期間やサステイン期間中は停止する。
- [0040] 図3Aに示すように、不要期間制御回路停止回路401は、リセット期間用信号およびアドレス期間用信号を入力とするORゲート401aと、ORゲート401aの出力に接続され、比較器302dの入力に接続されるトランジスタ401bとで構成される。制御回路302は基準電圧302bと制御用信号(S0)(整流平滑回路306の出力電圧)を入力とする演算増幅器302aの出力を、抵抗302cを介して比較器302dに入力する。比較器302dにて演算増幅器302aの出力と、三角波302eとを比較する。なお、制御用信号(S0)として、整流平滑回路306の出力電圧を用いている。整流平滑回路306の出力電圧が低い場合、演算増幅器302aの出力電圧が上昇し、比較器302dの出力パルス幅は広くなり整流平滑回路306の出力電圧を上昇させ、整流平滑回路306の出力電圧が一定になるように制御される。
- [0041] 図3Bに、図3Aに示す構成における、リセット期間用信号、アドレス期間用信号、ORゲート401aの出力、トランジスタ401bのエミッタ電圧、制御回路302の出力信号、制御用信号(S0)の波形を示す。図3Bに示すように、ORゲート401aの出力は、リセット期間およびアドレス期間においては「ハイ」状態、サステイン期間においては「ロー」状

態となる。このためサステイン期間では、トランジスタ401bはオンとなり比較器302dの一方の入力を0Vにする。したがって、比較器302dの出力パルスは停止し、ドライブ回路303の動作が停止する。

[0042] ドライブ回路303の動作停止によりスイッチ304はオフとなるため、リセット期間およびサステイン期間のほとんどの期間で、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306には電流が流れない。そのため、この動作停止期間、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失が削減される。

[0043] なお、図3Bにおいて、トランジスタ401bのエミッタ信号がリセット期間信号の立上りに対して時間遅れを発生しているのは、図3Aには記載していないが、トランジスタ401bの誤動作対策のための回路や演算増幅器302aの負帰還回路の容量成分のためである。また、図3Aは不要期間制御回路停止回路401と制御回路302の一例であり、種々の回路にて構成でき、この限りではない。また動作、停止させる信号として期間用信号を用いているが、この信号に同期するものであれば同様の動作が可能である。

[0044] また、図3Bにおいて、制御回路302の出力信号はリセット期間の途中から出力されているが、これは、トランジスタ401bの立上りの遅延時間 Δt を考慮したためであり、アドレス期間開始時に必ず制御回路302の出力信号が出力された状態にあるようにするため、アドレス期間の開始の直前から制御回路302の出力信号を出力し始めている。実質的には、アドレス期間のみ制御回路302を動作させることを意図している。

[0045] 図4は、アドレス期間に必要とされる電源回路の構成がリングチョークコンバータ(以降「RCC」という。)構成である場合における、スイッチ304の電圧、電流およびトランス305の2次巻線電流の波形について、従来技術による場合と本発明による場合とを対比して示した図である。一般にRCC方式はトランス305に蓄えるエネルギーを利用するため、負荷が重い場合はスイッチ304のオン期間が長くなり、負荷が軽い場合はスイッチ304のオン期間が短くなる。オフ期間も同様に变化する。したがって、アドレス期間には駆動回路2経由にてPDP電極に電力を供給するためスイッチ304

の電流パルス幅は広くなる。電源回路が常時動作する場合、リセット期間およびサステイン期間にはPDPの電極に電力供給する必要がないため、スイッチ304の電流パルス幅は狭くなる。しかしPDP1には電力を供給していないにもかかわらず、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306には、電流ピーク値は低下するものの周波数の高い電流が流れ続ける。そのためトランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306にはこの電流による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失が発生する。

[0046] 図2、図3A、図3B、図4においては、アドレス期間に必要な1つの電源回路3xについての説明を行ったが、上記技術思想は、他の期間に対しても適用でき、また、電源回路数に関係なく実施可能である。

[0047] 以上説明したように、実施の形態1のPDP表示装置は特許文献1にて開示されているPDPに印加される高圧高周波発振回路の発振周波数を可変することなく、電力制御回路が各電極に供給される各々の波形に必要な電圧をその期間動作停止させることで電源回路内にて消費される電力を削減することができる。

[0048] したがって、PDPの表示輝度の低下を伴うことなく、PDP表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れたPDP表示装置を構成することができる。

[0049] (実施の形態2)

図5から図7を参照し、本発明のPDP表示装置の第2の実施形態を説明する。本実施の形態のPDP表示装置は、実施の形態1の場合とは、電源回路において動作を停止させる要素が異なる。以下では、その差異についてのみ説明する。

[0050] 図5に、本発明の実施の形態2におけるPDP表示装置の電源回路と電力制御回路の構成を示す。

[0051] 実施の形態1では、不要期間制御回路停止回路401が制御回路302の出力パルス(S)を停止させていた。これに対して本実施形態では、図5に示すように電力制御回路4は不要期間ドライブ停止回路402を含み、これによりドライブ回路303の出力(S1)を停止させる。

- [0052] 図6Aは、アドレス期間に必要とされる電源回路に対する不要期間ドライブ停止回路402とドライブ回路303についての具体的な構成を示した図である。図6Aに示すように、電力制御回路4は制御回路302の出力信号とアドレス期間用信号とを入力とするANDゲート402aを含む。ANDゲート402aにより、アドレス期間のみ、制御回路302の出力信号がドライブ回路303のトランジスタ303aおよびトランジスタ303bのベースに出力される。制御回路302の出力信号が「ハイ」のときトランジスタ303aがオンし、DC電源303c電位を抵抗303d経由にて出力する。その出力信号が「ロー」のときトランジスタ303bがオンし、ドライブ回路303の出力は0Vとなる。
- [0053] 図6Bにこの動作時の波形を示す。なお、図6Aは不要期間ドライブ停止回路402とドライブ回路303の一例であり、種々の回路構成で実現でき、図6Aの構成に限定されない。
- [0054] 実施の形態1においては、制御回路302内の比較器302dの入力信号を操作するため、期間信号に対して時間遅れを生じているが、本実施の形態においては、制御回路302は動作状態にあり、また入力パルスをTTL信号処理するため、時間遅れの発生はなく高速応答が可能である。このように本実施形態では、制御回路302の動作は停止させずに、主電流部(ドライブ回路303、スイッチ304)のみを停止させるため、必要期間のみ動作させることができ動作停止期間を不要期間全体に拡大できる。したがって図7に示すようにトランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306にはアドレス期間のみ電流が流れ、リセット期間、サステイン期間には電流は流れない。
- [0055] したがってこの動作停止期間、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失が削減される。
- [0056] (変形例)
- 図5ー図7を用いて説明した本実施形態のPDP表示装置の別の構成例を、図8及び図9を用いて説明する。
- [0057] 図8は電源回路構成を電流共振回路構成としたときの電源回路と電力制御回路の構成を示すブロック図である。図9は、サステイン期間に必要とされる電源回路の構

成がハーフブリッジ電流共振回路構成である場合における、トランス305の1次巻線、2次巻線電流波形について、従来技術による場合と本発明による場合とを比較して示した図である。

- [0058] PDP1に電力を供給する電源回路のうち、最も高電力を供給する必要があるのはサステイン期間にPDP1を維持放電させるための電源回路である。この電源回路の構成として、高電力用回路で高効率である共振回路方式や回生方式が用いられることが多い。図8に示す電源回路3xはハーフブリッジ電流共振回路構成となっている。最大出力電力はトランス305の1次巻線インダクタンスおよびこの励磁電流により決定される。スイッチ304bのオンによりトランス305の1次巻線が励磁され、スイッチ304aのオンによりトランス305の1次巻線は逆励磁される。負荷時は、トランス305の漏れインダクタンスとコンデンサ307との共振電流が、トランス305の2次巻線経由でダイオード306aおよびダイオード306bを流れ、コンデンサ306cを充電し負荷に供給される。スイッチ304a、スイッチ304bは零電圧スイッチングを行い、ダイオード306aおよびダイオード306bは零電流オン・オフを行うため高効率となる。
- [0059] しかし図9に示すように電源回路が常時動作する場合、負荷がないときにも励磁電流がスイッチ304a、スイッチ304b、コンデンサ307、トランス305の1次巻線を流れ続ける。そのためスイッチ304a、スイッチ304b、コンデンサ307、トランス305の1次巻線にはこの電流による導通損失、トランス305のコア損失およびドライブ回路303の動作損失が発生する。しかも励磁電流は最大出力電力において設定されるため大きく、また高電力のためトランス305のコアサイズも大きくなる。したがって無負荷時における導通損失、コア損失も大きなものとなる。
- [0060] 本実施形態の場合、不要期間ドライブ停止回路402によりドライブ回路303の出力パルスを高速にて動作、停止できるため、リセット期間およびアドレス期間全体を停止期間にすることができる。またサステイン期間が1サブフィールド中に占める割合は1〜70%前後で変化し、1フィールドでは平均20〜50%前後となる。したがって全体の50〜80%を動作停止期間とすることができるので、電源回路が常時動作する場合に発生するスイッチ304a、スイッチ304b、コンデンサ307、トランス305の1次巻線による導通損失、トランス305のコア損失およびドライブ回路303の動作損失が削減

される。

[0061] 以上のように、本実施形態のPDP表示装置においても、実施の形態1と同様に、特許文献1にて開示されているPDPに印加される高圧高周波発振回路の発振周波数を可変することなく、電力制御回路が各電極に供給される各々の波形に必要なない電源回路をその期間動作停止させることで電源回路内にて消費される電力を削減することができる。

[0062] したがって、PDPの表示輝度の低下を伴うことなく、PDP表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れたPDP表示装置を構成することができる。

[0063] (実施の形態3)

図10～図15を参照して、本発明のPDP表示装置の第3の実施形態について説明する。

[0064] 本実施形態では、PDP1の発光状態、すなわちPDP1の駆動時に必要となる電力量に応じて電源回路の出力を調整している。なお、本実施形態では、サステイン期間中における動作について説明する。

[0065] 図10は実施の形態3におけるPDP表示装置の構成を示すブロック図である。PDP表示装置は、PDP1と、PDP1の電極にスキヤンドドライバ5aおよびアドレスドライバ5b經由にて各期間に対応した駆動波形を生成させ印加する駆動回路2と、駆動回路2經由にてPDP1に電力を供給する複数の電源回路を含む電源回路群3と、電源回路群3を動作、停止させることによりPDP1への供給電力を制御する電力制御回路4と、スキヤンドドライバ5aと、アドレスドライバ5bと、画像情報を処理し、駆動回路2並びにスキヤンドドライバ5a及びアドレスドライバ5bに信号を送出する画像処理回路6とで構成される。

[0066] 画像処理回路6は走査処理を行うスキャンコントローラや画像処理を行うピクチャクオリティプロセッサを含む画像処理部6aと、画像信号を一旦蓄積するフレームメモリ6bと、各サブフィールドのアドレス操作に対応してアドレスドライバ5bと、スキヤンドドライバ5aにドライブ信号を送出するI/Oバッファ6cとで構成されている。

[0067] フレームメモリ6bに蓄積された画像情報より各サブフィールドのアドレス操作に対応

してアドレスドライバ5bおよびスキャンドライバ5aのドライブ信号がI/Oバッファ6cにより生成される。このドライブ信号を受け、スキャンドライバ5aおよびアドレスドライバ5bは駆動回路2により生成される図19に示されるような駆動波形をPDP1の各電極に印加する。駆動波形のアドレス期間にパルスが印加されるアドレス電極が点灯するように選択されたアドレス電極となる。したがって、I/Oバッファ6cからアドレスドライバ5bに送出されるドライブ信号のアドレス期間には、点灯するように選択されたアドレス電極の数のパルスが含まれている。

[0068] 本実施形態では、アドレスドライバ5bのドライブ信号に基づき、サステイン期間に必要な電源回路の出力を停止させるようにする。

[0069] 図11は電源回路と電力制御回路の具体的な構成を示した図である。制御回路302は、各電源回路3a、3b、…に固有の出力電圧を得るためにスイッチ304のスイッチング動作を制御するための駆動信号を出力する。制御回路302の出力信号に比較器403dの出力信号が重畳された信号がスイッチ304に印加される。電力制御回路4は電力制御用ドライブ停止回路403を含む。電力制御用ドライブ停止回路403は、サステイン期間にPDP1を維持放電させるために必要な電源回路3xのドライブ回路303の出力を停止させる。

[0070] 図12Aは、電力制御用ドライブ停止回路403とドライブ回路303の具体的な構成を示した図である。電力制御用ドライブ停止回路403において、 n -V変換回路403aは、アドレスドライバ5bのドライブ信号が入力されると、図12Bに示される特性にしたがい、アドレス期間のデータパルス数に応じた出力電圧を発生する。期間保持回路403bは、アドレス期間用信号の立下りから次の立下りまでの1周期つまり1サブフィールドの間、その出力電圧を保持する。三角波発生回路403cは、電源回路3xの発振周期(駆動周期)より長い固定周期の三角波を発生する。このように三角波の周期を設定するのは、後述する電源回路3xの停止期間および動作期間を合わせた一周期(T)が、電源回路3xの制御信号の一周期(t)よりも長くなるようにするためである。比較器403dは、期間保持回路403bにより保持された出力電圧と、三角波発生回路403cの出力とを比較し、比較結果に応じたパルスを出力する。この出力パルスと制御回路302出力信号とがANDゲート403eに入力され、比較器403dの出力パルスが

オンのときだけ、制御回路302の出力信号がドライブ回路303に出力される。

- [0071] ドライブ回路303は、入力したパルスと同一パルスを出力する。比較器403dの出力パルスがオフのときドライブ回路303は停止し、電源回路3のトランス305の1次巻線、2次巻線、スイッチ304及び整流平滑回路306に、電流が流れなくなる。
- [0072] 図13に上記の場合の動作波形を示す。発光させるセルがないとき、すなわち、アドレスドライバ5bのドライブ信号に含まれるパルスがないとき、図12Bに示される特性において、最低出力電圧Cが出力される。このため比較器403dの出力パルスのオン期間が短くなり、ドライブ回路303の動作期間は短くなり、その動作停止期間は長くなる。したがって電源回路3の整流平滑回路306内のコンデンサ(図示せず)を充電するための電力は低下する。しかし、負荷となるPDP1は発光させないことから、PDP1への電力供給による整流平滑回路306内のコンデンサからの放出電力も低下するため、電源回路3の出力電圧の低下はない。
- [0073] 一方、発光させるセルが多いとき、すなわち、アドレスドライバ5bのドライブ信号に含まれるパルス数が多いとき(パルス数がBのとき)、図12Bに示される特性において電圧Eが出力されるため、比較器403dの出力パルスのオン期間が長くなり、ドライブ回路303の動作期間が長くなり、動作停止期間は短くなる。このとき負荷となるPDP1は発光セルが多いためPDP1への電力供給による整流平滑回路306内のコンデンサからの放出電力は増加するが、電源回路3の整流平滑回路306内のコンデンサを充電する電力も増加するため電源回路3の出力電圧の低下はない。また、発光させるセルが少なく、すなわち、アドレスドライバ5bのドライブ信号に含まれるパルス数が少ないとき(パルス数がAのとき)も、図12Bに示される特性において電圧Dが出力され、前記と同様の動作により動作停止期間が変化し、電源回路3からの供給電力が変化する。
- [0074] なお、電源回路3xそのものは実施の形態1にて説明したように制御回路302により整流平滑回路306の出力電圧を一定に制御されている。
- [0075] このようにアドレス期間のデータパルス数、すなわちPDP1の発光状態に応じて電源回路3からのPDP1への供給電力が制御できるため、1サブフィールド毎に必要なとされる電力のみを供給できる。すなわち、必要供給電力が少ないときは電源回路3の

動作停止期間を長くできるため、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失を大幅に削減できる。

[0076] なお、PDP1のサイズが大きい場合、維持放電させるための電源回路の電力も大きくなり電源回路のトランス305も大きくなる。このとき電力制御回路4による電源回路3の動作、停止の繰り返しによりトランス305の振動音が発生することがある。この場合には電源回路3の動作、停止の繰り返し周波数を、可聴周波数以上の一定値に設定することで対応可能である。

[0077] また、電源回路3の動作開始位相が、電力制御回路4による電源回路3の動作、停止の繰り返し周波数と電源回路3の発振周波数(駆動周波数)の差分周波数にて変化することにより、トランス305の振動音が発生することもある。この場合には電力制御回路4による電源回路3の動作、停止の繰り返し周波数と、電源回路3の発振周波数(すなわち、制御回路302の出力信号の周波数)との同期をとることで対応可能である。また、電力制御回路4による電源回路3の動作、停止の繰り返し周波数は、電源回路3の発振周波数の $1/n$ (n は正の整数)とすることが好ましい。上記の点を実現するためには、例えば、制御回路302と電力制御用ドライブ停止回路403の間に同期回路を挿入する。図14に分周期を用いた同期回路の例を示す。同期回路はRSフリップフロップ403h, 403i, 403j, 直流電源403kにて構成される。この同期回路により、電力制御回路4による電源回路3の動作、停止の繰り返し周波数は、電源回路3の発振周波数に同期し、その発振周波数の $1/6$ の周波数となる。図15は、電力制御回路4による電源回路3の動作、停止の繰り返し周波数が電源回路3の発振周波数と同期していない時および同期した時のスイッチ304を流れる電流の波形を説明した図である。同期をとることにより電力制御回路4による電源回路3の動作開始位相が同一となるため(図15(d)、(e)参照)、スイッチ304の電流の開始時波形が同一電流波形となる。したがって差分周波数でのトランス305の振動音の発生が抑制される。なお、図14は同期回路の一例であり、他の回路にても実施可能である。

[0078] また、差分周波数でのトランス305の振動音は、差分周波数が一定であるため可聴音となる。したがって電力制御回路4による電源回路3の動作、停止の繰り返しを、ラ

ンダムな周波数(周波数が常に変化するとともに、その変化の仕方も一定でない周波数)にて行うことにより、電源回路3の発振周波数との差分周波数もランダムな周波数となり聞こえなくなる。ランダムな周波数の発生は、例えば、三角波発生回路403cにホワイトノイズを重畳させることにより可能である。

[0079] (変形例1)

ここで、本実施形態のPDP表示装置の別の構成例を、図16A、図16Bおよび図17を用いて説明する。以下に説明する例では、電力制御用ドライブ停止回路403は、電源回路3xの動作/停止を、データパルス駆動用電源回路3の出力電流に基づいて制御している。

[0080] 前述の例では図10に示したようにアドレスドライバ5bへのドライブ信号により電力制御回路4が電源回路群3の動作/停止を制御していたのに対して、この別の例では、データパルス駆動用電源回路3の出力電流値に基づいて電源回路群3の動作/停止を制御する。前述の例にて説明したように画像情報に基づいてI/Oバッファ6cよりアドレスドライバ5bへのドライブ信号が送出される。アドレスドライバ5bは、データパルス駆動用電源回路3から駆動回路2経由で供給された電力を、ドライブ信号により選択されたアドレス電極に供給する。したがって、選択されたアドレス電極分だけの電力がデータパルス駆動用電源回路3より供給されることになる。このように、データパルス駆動用電源回路3の出力電流値に基づいて、PDP1を維持放電させるための電源回路3のドライブ回路303の出力を停止させるようにすることで、必要最小限の供給電力にすることができる。

[0081] 図16Aは、別の例における電力制御用ドライブ停止回路とドライブ回路の具体的構成を示した図である。

[0082] 出力電流-V変換回路403fは、データパルス駆動用電源回路3の出力電流値を入力する。出力電流-V変換回路403fは、図16Bに示すように、データパルス駆動用電源回路3の出力電流値に応じた電圧を出力する。出力電流-V変換回路403fの出力と、三角波発生回路403cの出力とが比較器403dにて比較され、パルスが出力される。この出力パルスと制御回路302出力信号とがANDゲート403eに入力され、比較器403dの出力パルスがオンのときだけ制御回路302出力信号はドライブ回路

303に出力される。ドライブ回路303は入力されたパルスと同一パルスを出力する。

- [0083] 比較器403dの出力パルスがオフのとき、ドライブ回路303の動作が停止し、電源回路3のトランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306には電流は流れなくなる。図17はこのときの動作波形である。データパルス駆動用電源回路3の出力電流値の増減により出力電流-V変換回路403f出力電位はD、E、F、Gと変化し、ドライブ回路303の動作停止期間を変化させる。
- [0084] なお、データパルス駆動用の電源回路の出力電流は、抵抗や電流センサなどによって検出できる。したがって前述の例と同様にPDP1の発光状態に応じて電源回路3からのPDP1への供給電力が制御できるため、必要とされる電力のみを供給できる。そのため必要供給電力が少ないときは電源回路3の動作停止期間を長くできるため、トランス305の1次、2次巻線、スイッチ304、整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失も多く削減できる。
- [0085] (変形例2)
- 本実施形態のPDP表示装置の更なる別の例を、図18および図19A、図19Bを用いて説明する。
- [0086] この更なる別の例は、電力制御用ドライブ停止回路403は、電源回路3xの動作/停止を、フレームメモリ6bに蓄積された表示前画像情報に基づいて制御する。
- [0087] 図18は更なる別の例のPDP表示装置のブロック図である。PDP表示装置は図10に示す構成に加えて点灯率算出回路7を備えている。点灯率算出回路7は、フレームメモリ6bに蓄積された表示前の画像情報から、表示前画像に対するPDP1の点灯率を算出する。電力制御回路4は点灯率算出回路7により算出された点灯率に基づき、電源回路群3の動作、停止を制御する。このように、表示前の画像でのPDP1の点灯率に基づいてPDP1を維持放電させるための電源回路3のドライブ回路303の出力を停止させるように構成することで、必要最小限の供給電力にすることができる。
- [0088] 図19Aは電力制御用ドライブ停止回路403とドライブ回路303についての具体的な構成を示した図である。図19Bは、図19Aにおける点灯率-V変換回路403gの点灯率と出力電圧の関係を表す図である。

- [0089] 図19Aにおいて、点灯率-V変換回路403gは、点灯率算出回路7から点灯率を示す出力信号を入力し、図19Bに示すように点灯率に応じた電圧を出力する。点灯率-V変換回路403gの出力電圧と、三角波発生回路403cの出力とは、比較器403dにて比較され、パルスが出力される。この出力パルスと、制御回路302の出力信号とがANDゲート403eに入力され、比較器403dの出力パルスがオンの間だけ制御回路302の出力信号がドライブ回路303に出力される。ドライブ回路303は入力されたパルスと同一パルスを出力する。
- [0090] 比較器403dの出力パルスがオフのとき、ドライブ回路303が停止し、電源回路3のトランス305の1次巻線、2次巻線、スイッチ304及び整流平滑回路306に電流が流れなくなる。
- [0091] 以上のように、点灯率の増減により点灯率-V変換回路403gの出力電圧は変化し、ドライブ回路303の動作停止期間を変化させる。したがって、前述の実施形態と同様にPDP1の発光状態に応じて電源回路3からのPDP1への供給電力が制御できるため、必要とされる電力のみを供給できる。そのため必要供給電力が少ないときは電源回路3の動作停止期間を長くできるため、トランス305の1次巻線、2次巻線、スイッチ304及び整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失も多く削減できる。なお、点灯率-V変換回路403gの出力電圧は、PDP1の表示期間に同期するように、遅延して出力される。
- [0092] 以上説明したように、本実施の形態のPDP表示装置においても、実施の形態1と同様に、特許文献1にて開示されているPDPに印加される高圧高周波発振回路の発振周波数を可変することなく、電力制御回路がPDPの発光状態に応じて電源回路群を動作停止させることで電源回路内にて消費される電力を削減することができる。
- [0093] したがって、PDPの表示輝度の低下を伴うことなく、PDP表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れたPDP表示装置を構成することができる。
- [0094] 本発明は、特定の実施形態について説明されてきたが、当業者にとっては他の多くの変形例、修正、他の利用が明らかである。それゆえ、本発明は、ここでの特定の

開示に限定されず、添付の請求の範囲によってのみ限定され得る。なお、本出願は日本国特許出願、特願2004-116520号(2004年4月12日提出)に関連し、それらの内容は参照することにより本文中に組み入れられる。

産業上の利用可能性

- [0095] 本発明にかかるPDP表示装置は、PDP表示装置内の消費電力を低減し、温度上昇の低い高信頼性の特徴を有し、PDP表示装置として有用である。

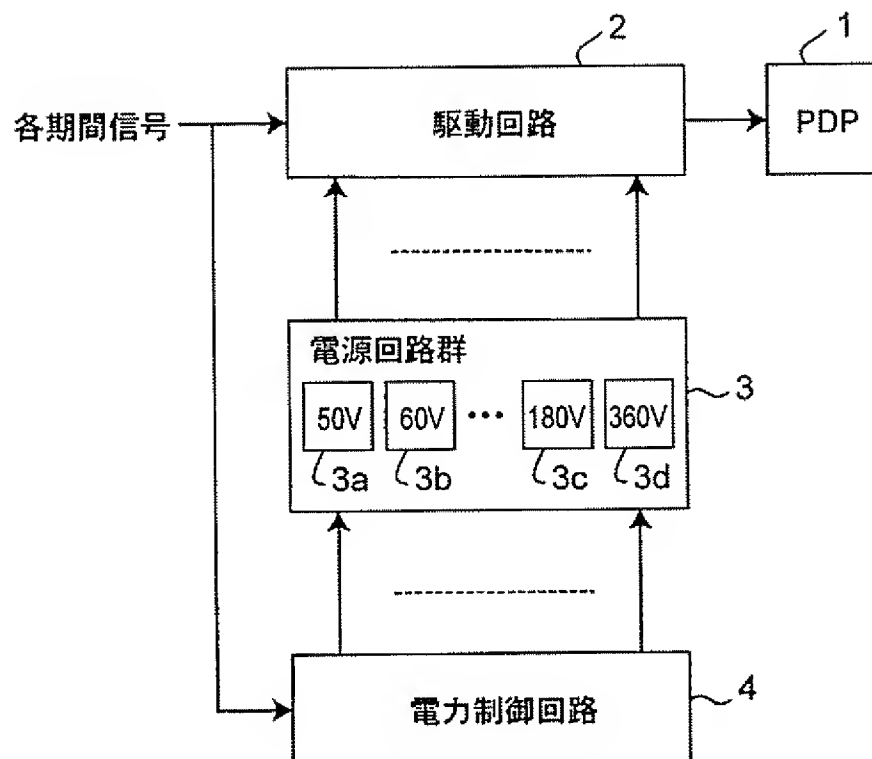
請求の範囲

- [1] 複数の電極を有するプラズマディスプレイパネルと、
前記電極に駆動波形を供給する駆動回路と、
前記駆動回路に電力を供給する電源回路と、
前記電源回路の停止期間を前記プラズマディスプレイパネルの発光状態に基づいて制御することによりプラズマディスプレイパネルの電極に供給可能な出力電力を調整する電力制御回路と
を具備することを特徴とするプラズマディスプレイパネル表示装置。
- [2] 前記電力制御回路は、前記電源回路の停止期間と動作期間の比率により出力電力を調整することを特徴とする請求項1に記載のプラズマディスプレイパネル表示装置。
- [3] 前記電源回路がスイッチング方式にて構成される場合、前記電力制御回路による前記電源回路の停止期間と動作期間を合わせた一周期は、前記電源回路のスイッチング動作の一周期より長いことを特徴とする請求項2に記載のプラズマディスプレイパネル表示装置。
- [4] 前記電力制御回路による前記電源回路の停止／動作の繰り返しはランダムな周波数にて行われることを特徴とする請求項3に記載のプラズマディスプレイパネル表示装置。
- [5] 前記電力制御回路による前記電源回路の停止／動作の繰り返しは一定の周波数にて行われることを特徴とする請求項3に記載のプラズマディスプレイパネル表示装置。
- [6] 前記電力制御回路による前記電源回路の停止／動作の繰り返し周波数は可聴周波数以上であることを特徴とする請求項5に記載のプラズマディスプレイパネル表示装置。
- [7] 前記電力制御回路による前記電源回路の停止／動作の繰り返し周波数は前記電源回路の駆動周波数に同期することを特徴とする請求項6に記載のプラズマディスプレイパネル表示装置。
- [8] 前記電力制御回路による前記電源回路の停止／動作の繰り返し周波数は前記電

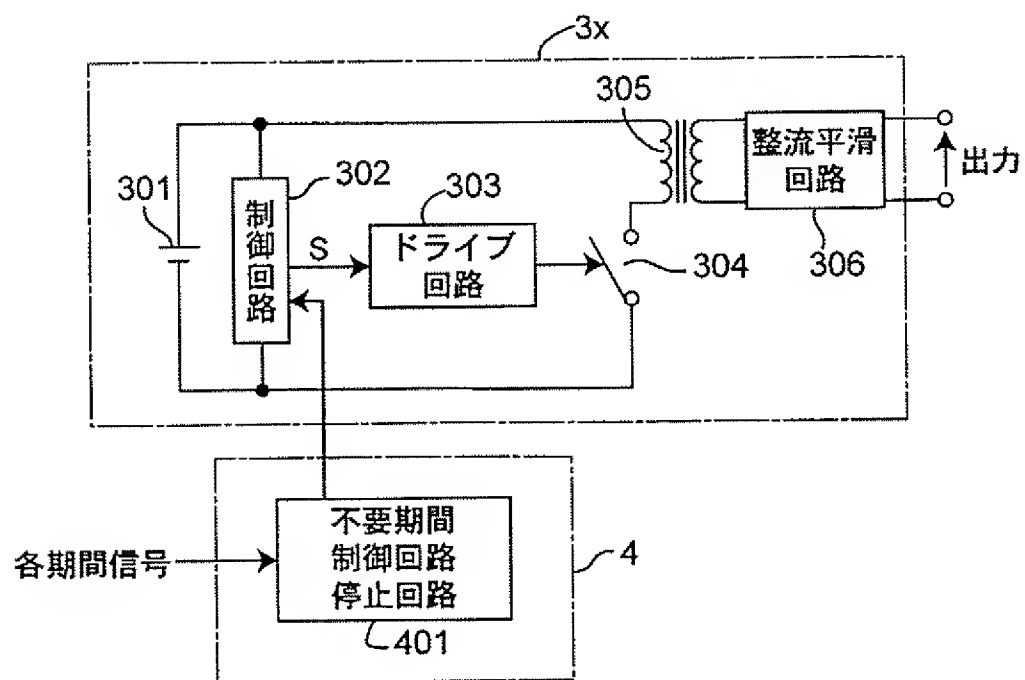
源回路の駆動周波数の $1/n$ (n は正の整数)であることを特徴とする請求項7に記載のプラズマディスプレイパネル表示装置。

- [9] 前記電源回路は、トランスまたはインダクタと、該トランスまたはインダクタに電源電圧を断続的に印加させるスイッチと、該スイッチを駆動するスイッチ駆動手段と、該スイッチ駆動手段を制御する制御手段とを含み、
前記電力制御回路は、前記プラズマディスプレイパネルの発光状態に基づいて前記電源回路を停止させるために前記スイッチ駆動手段を停止させる駆動停止回路を備えたことを特徴とする請求項1ないし8のいずれかに記載のプラズマディスプレイパネル表示装置。
- [10] 前記電力制御回路は、表示される画像情報に基づいて出力電力を調整することを特徴とする請求項1ないし8のいずれかに記載のプラズマディスプレイパネル表示装置。
- [11] 前記電力制御回路は、アドレス期間において含まれるデータパルス数に基づいて出力電力を調整することを特徴とする請求項1ないし8のいずれかに記載のプラズマディスプレイパネル表示装置。
- [12] 前記電力制御回路は、データパルス駆動用の電源回路の出力電流に基づいて出力電力を調整することを特徴とする請求項1ないし8のいずれかに記載のプラズマディスプレイパネル表示装置。
- [13] 前記電力制御回路は、フレームメモリに記憶される表示前画像情報に基づいて出力電力を調整することを特徴とする請求項1ないし8のいずれかに記載のプラズマディスプレイパネル表示装置。
- [14] 前記電源回路は共振方式または回生方式にて構成されることを特徴とする請求項1ないし8のいずれかに記載のプラズマディスプレイパネル表示装置。

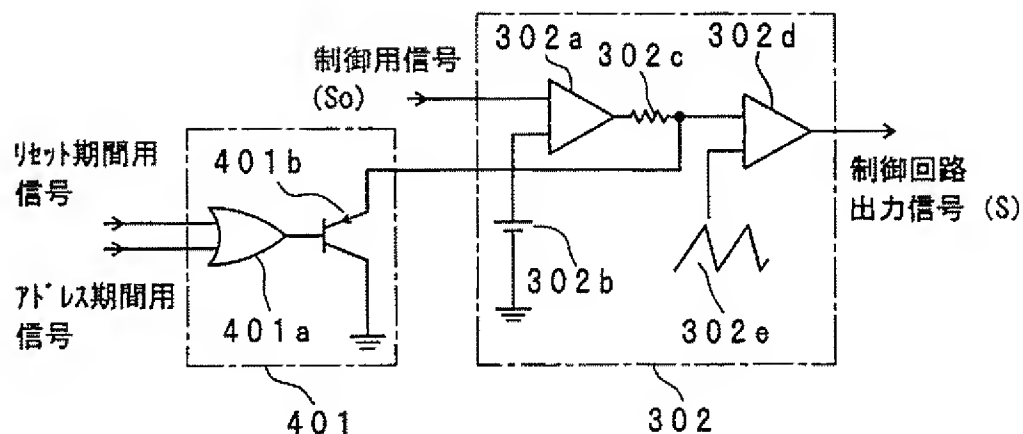
[図1]



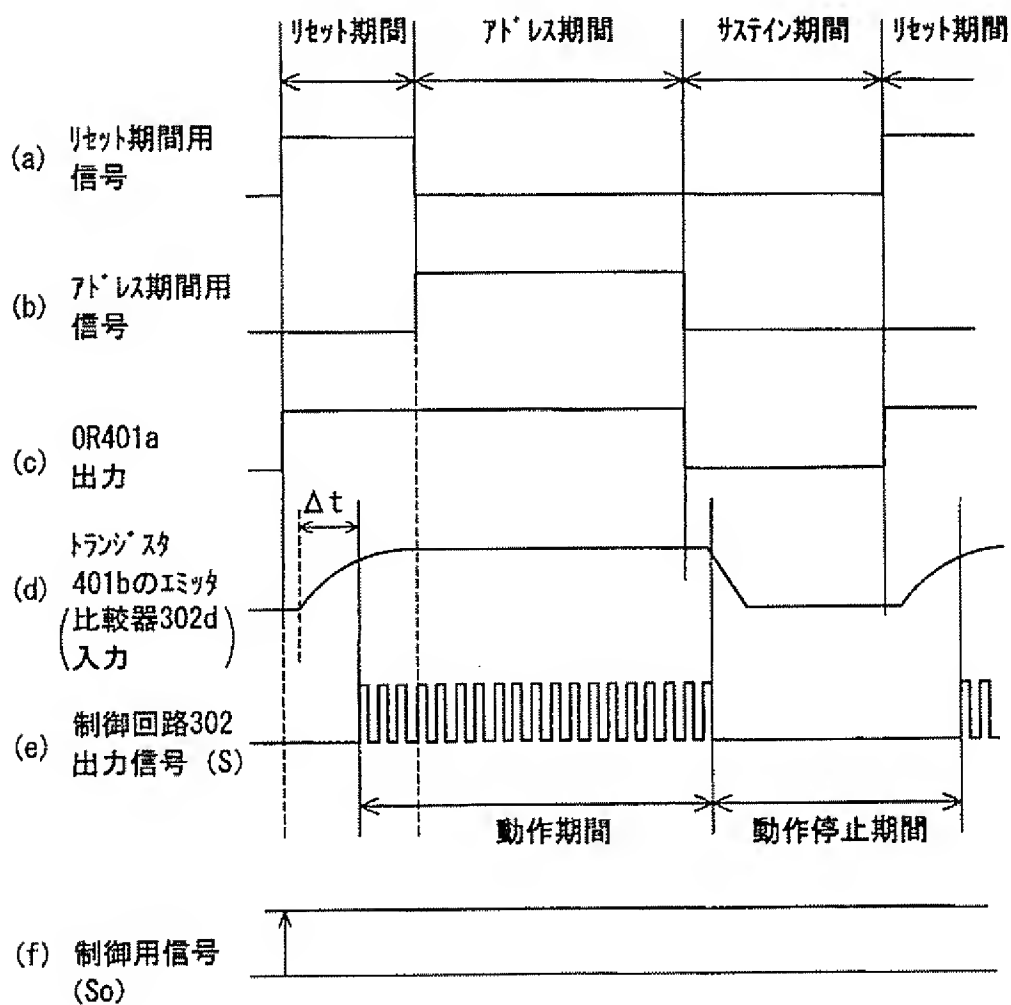
[図2]



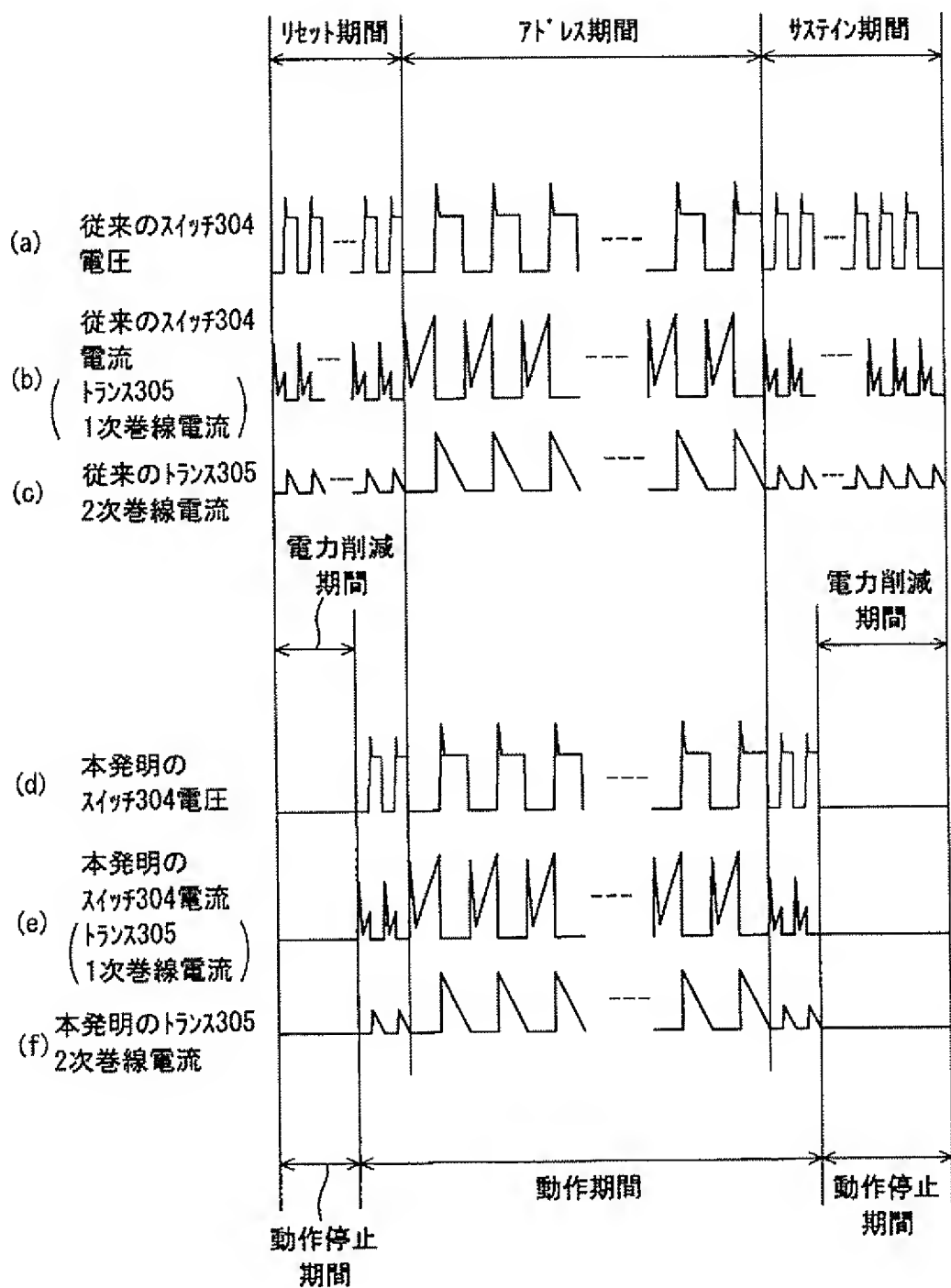
[図3A]



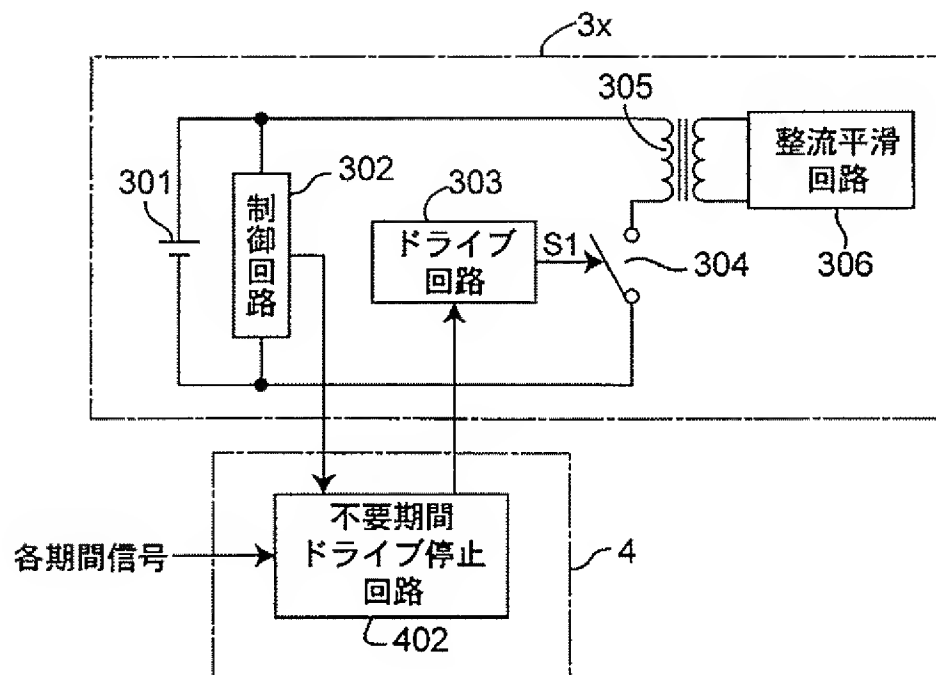
[図3B]



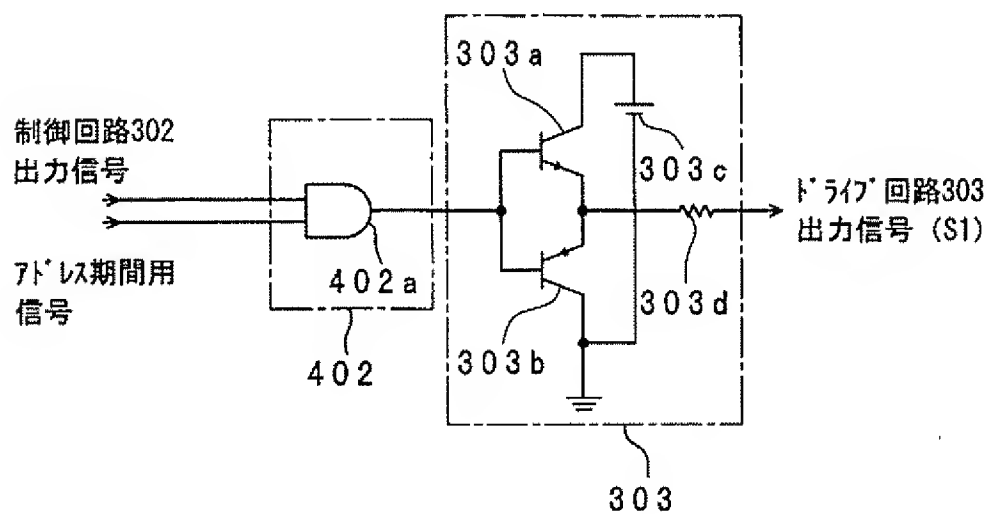
[図4]



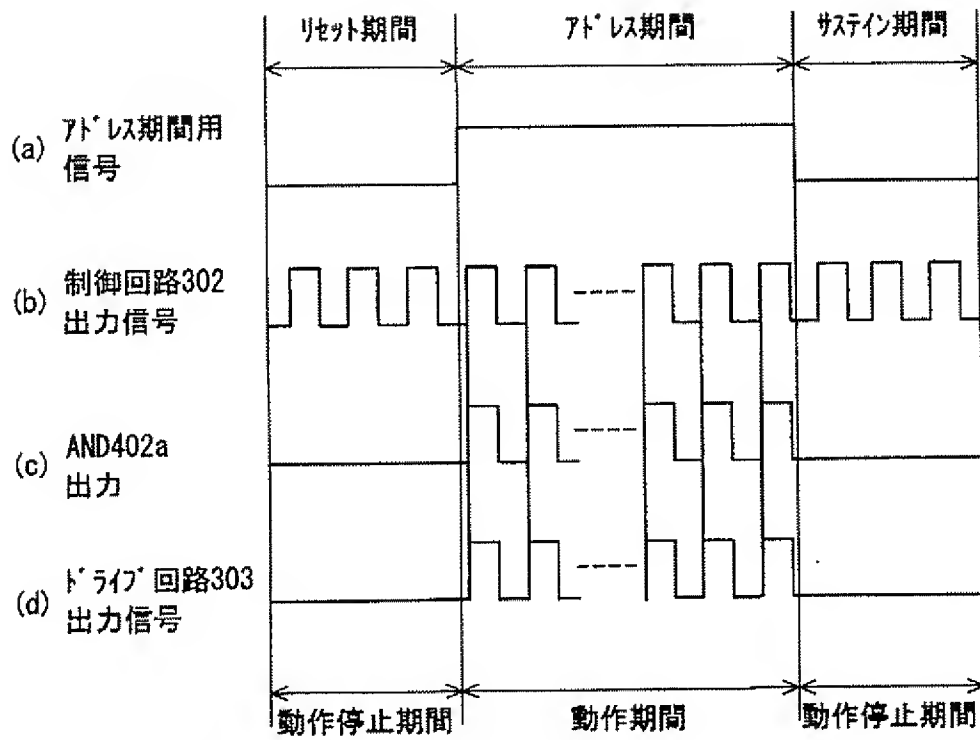
[図5]



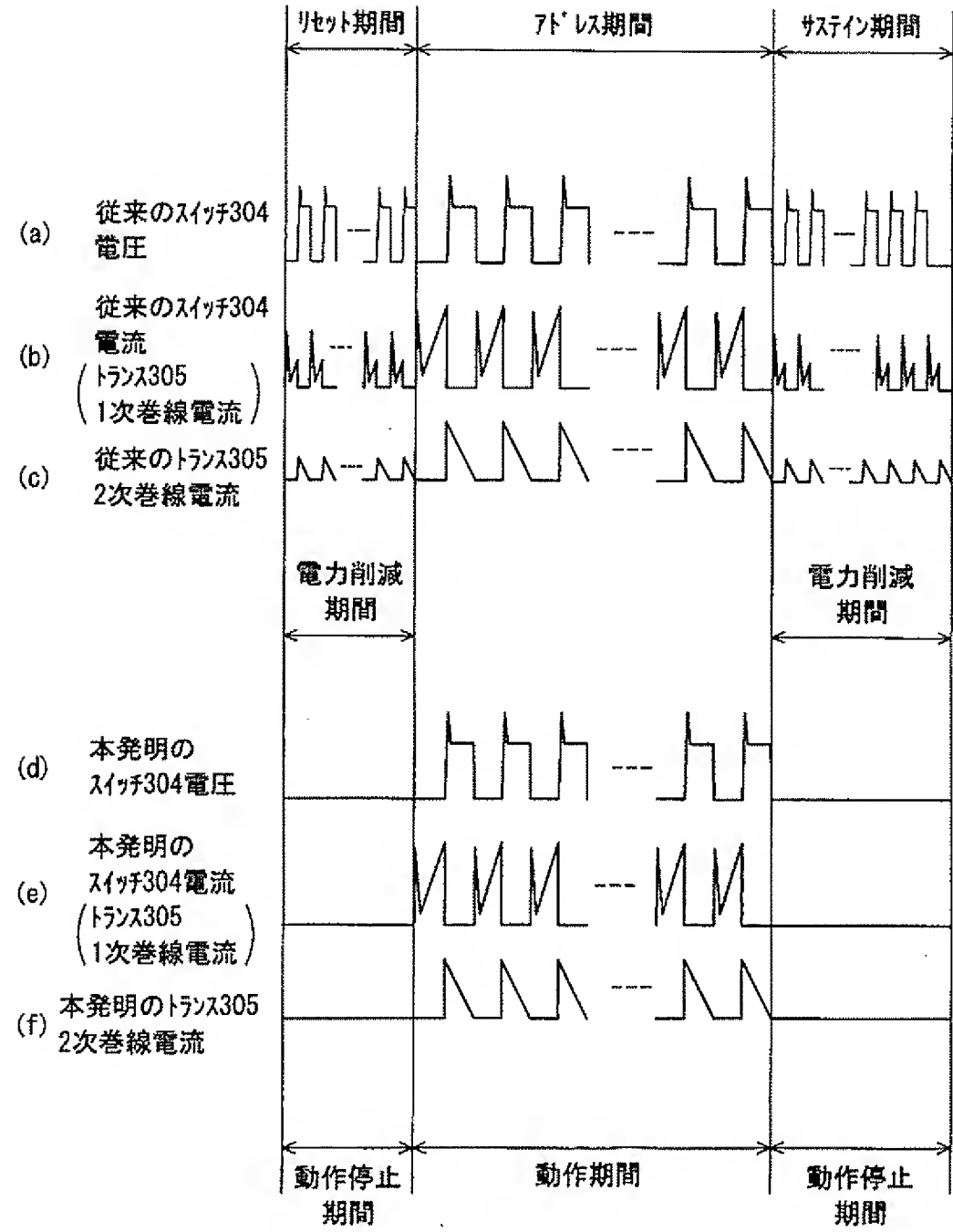
[図6A]



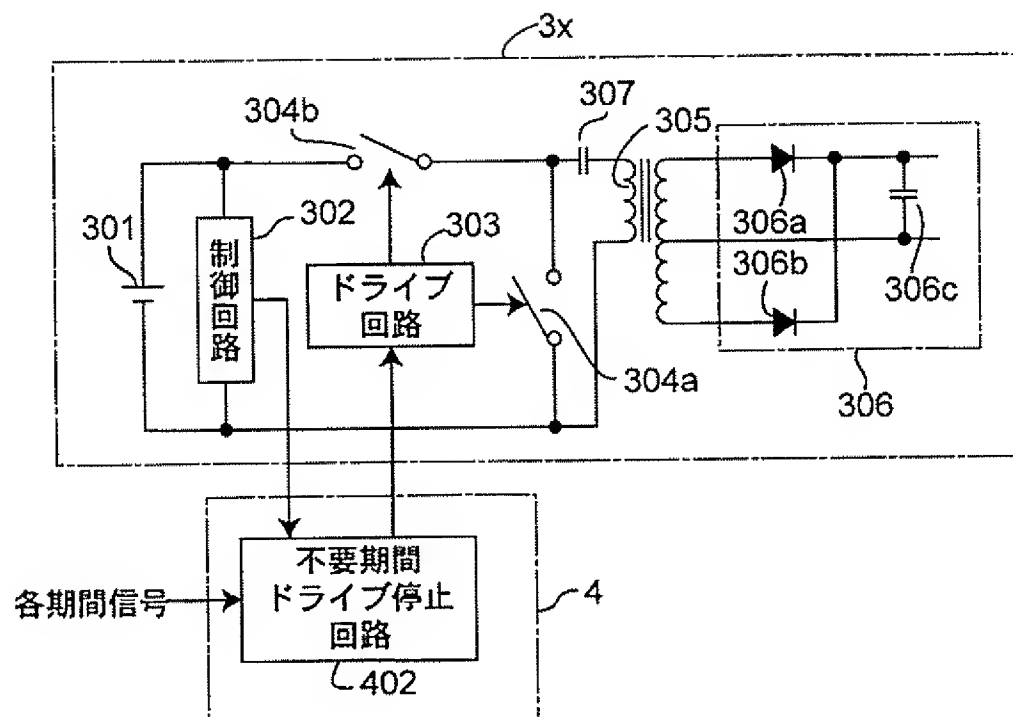
[図6B]



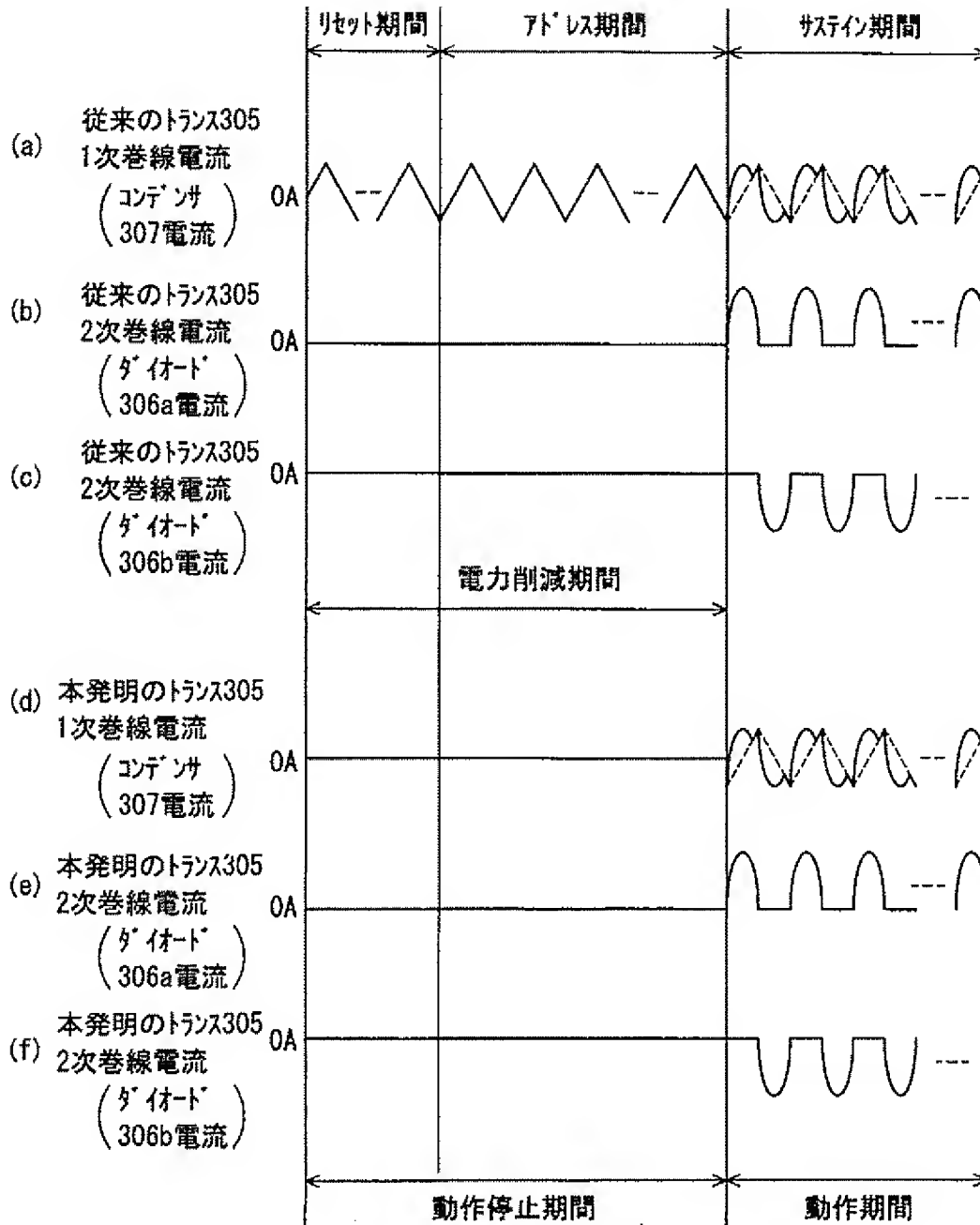
[図7]



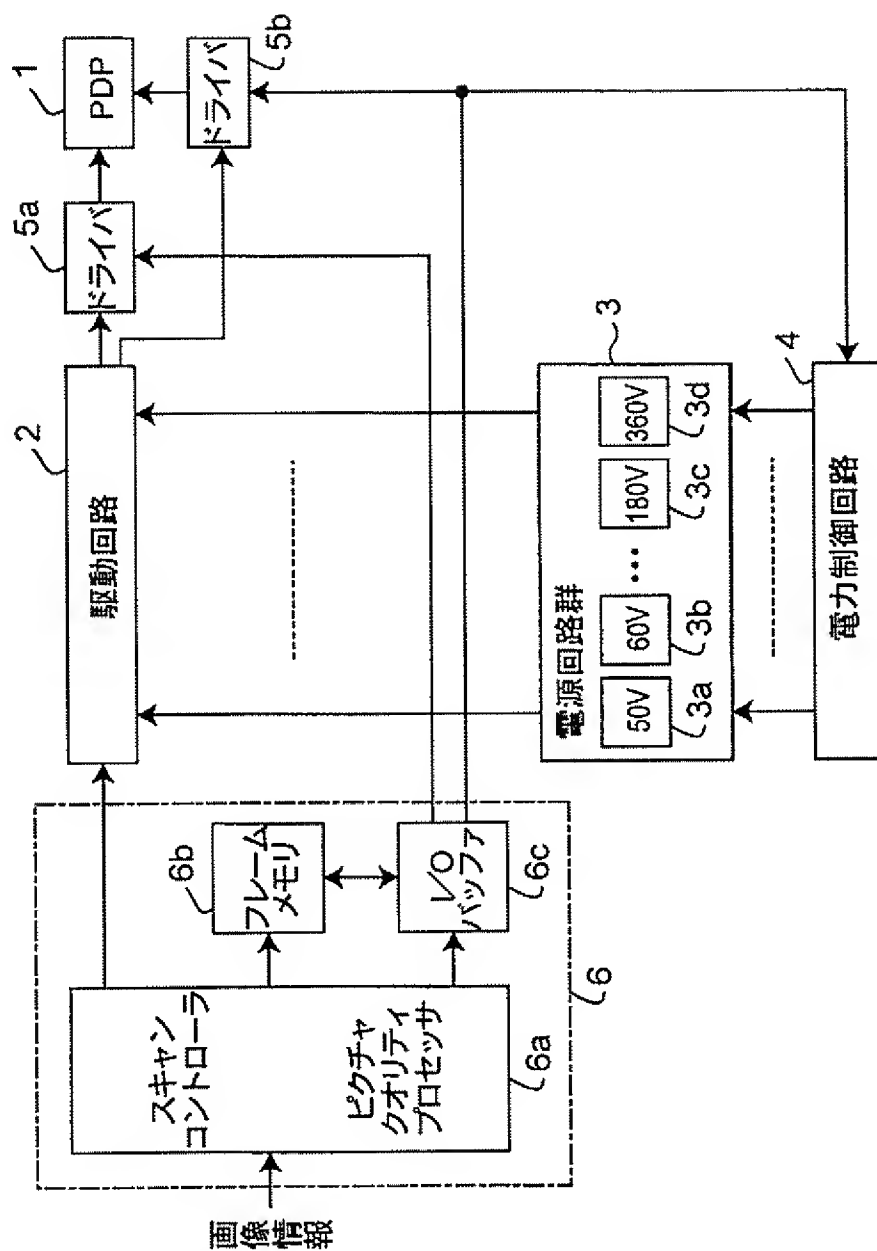
[図8]



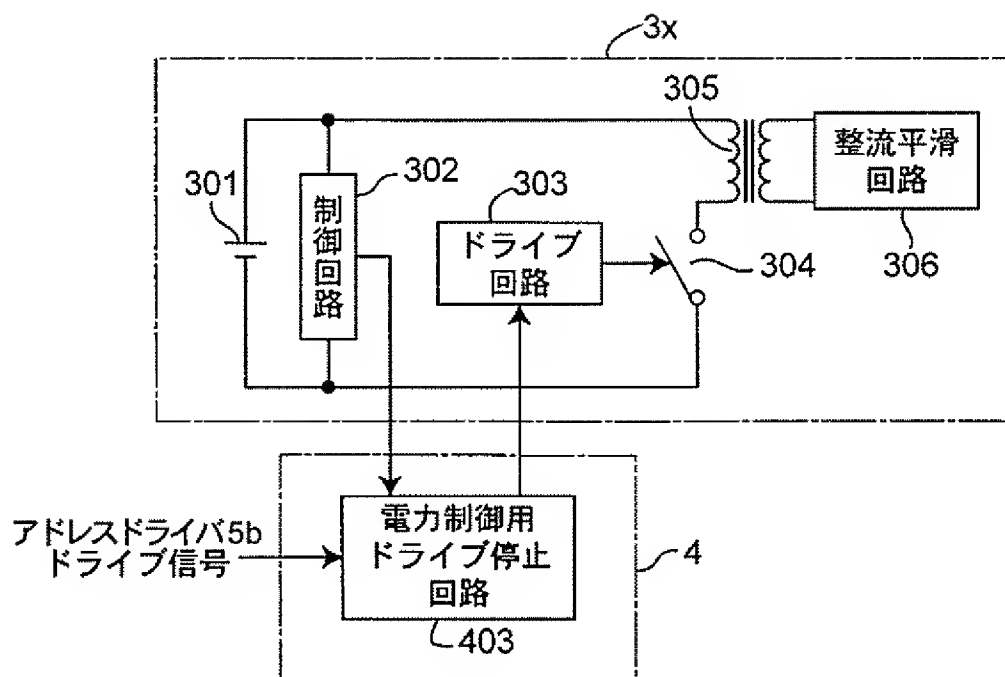
[図9]



[図10]



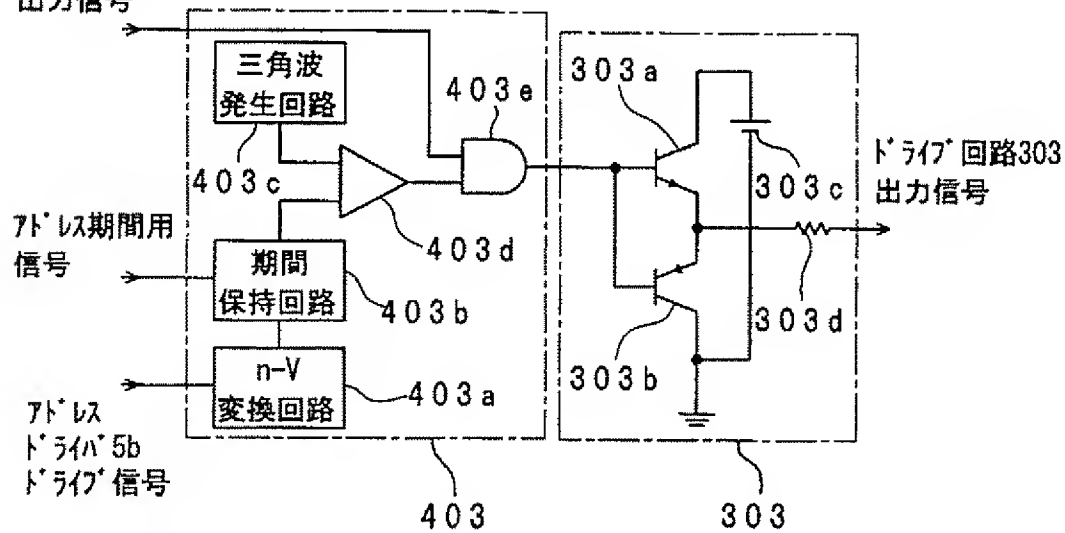
[図11]



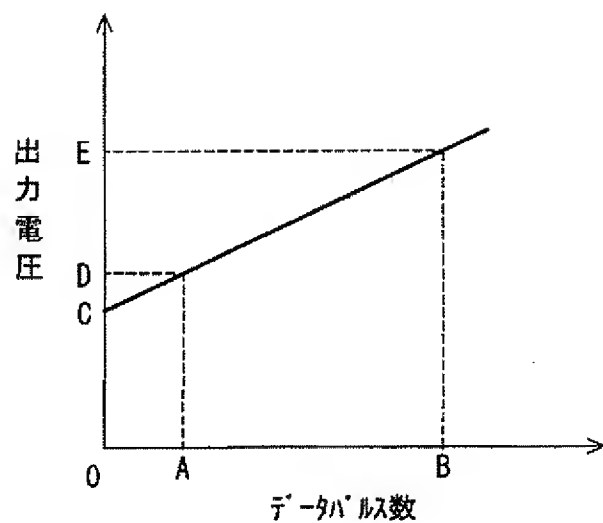
[図12A]

制御回路302

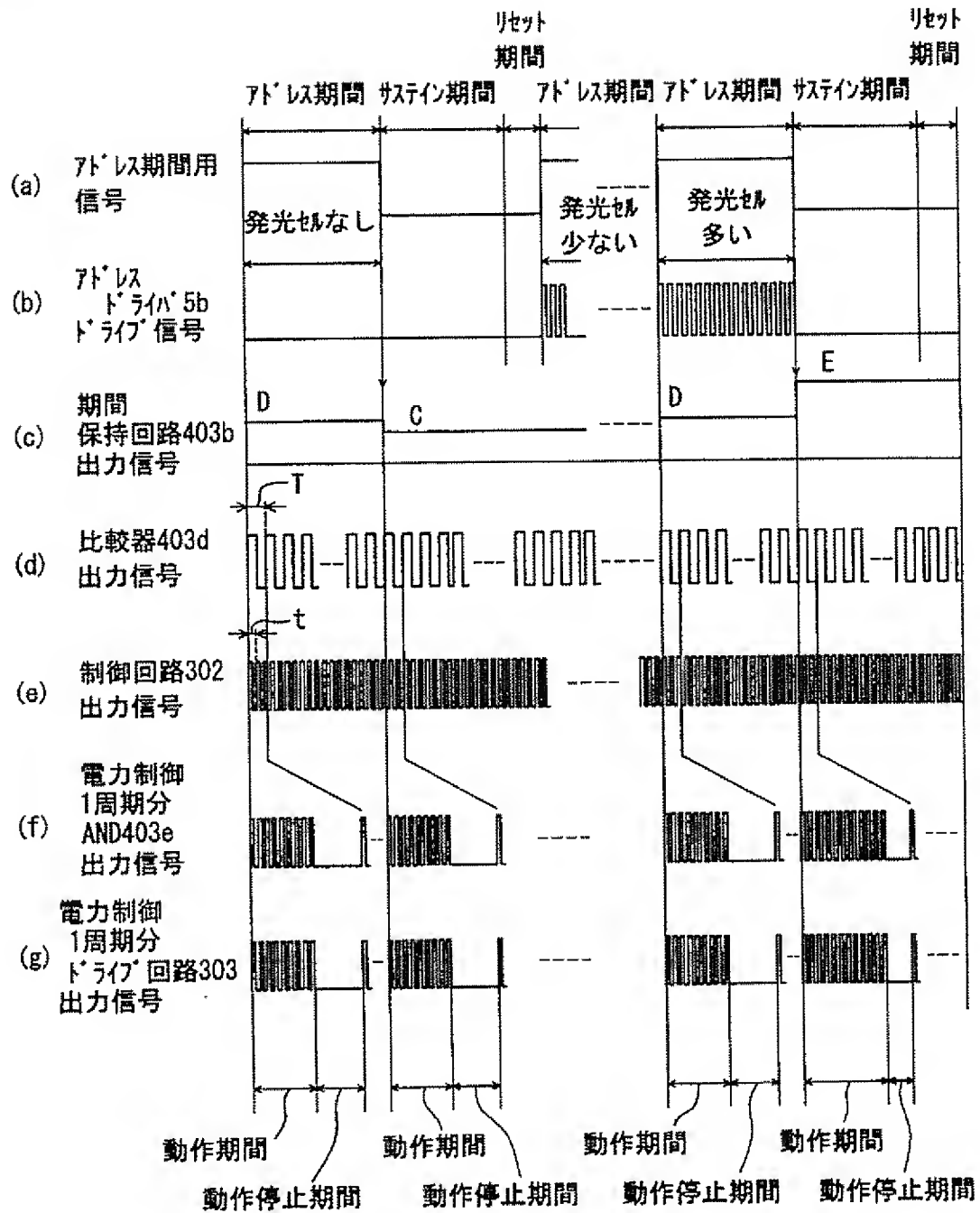
出力信号



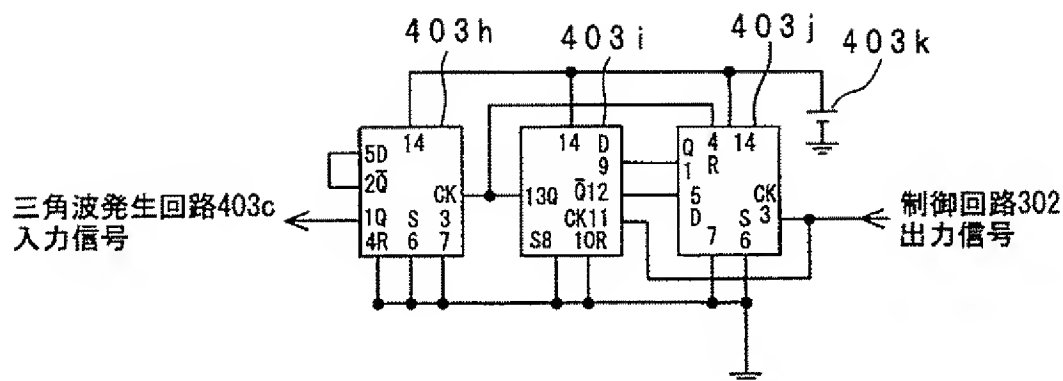
[図12B]



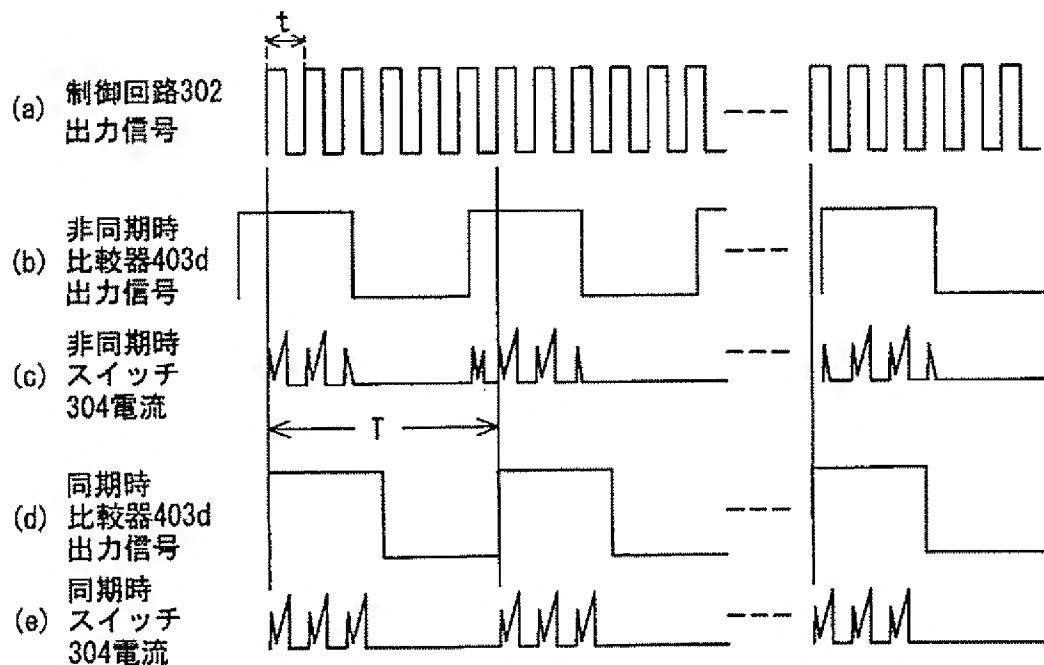
[図13]



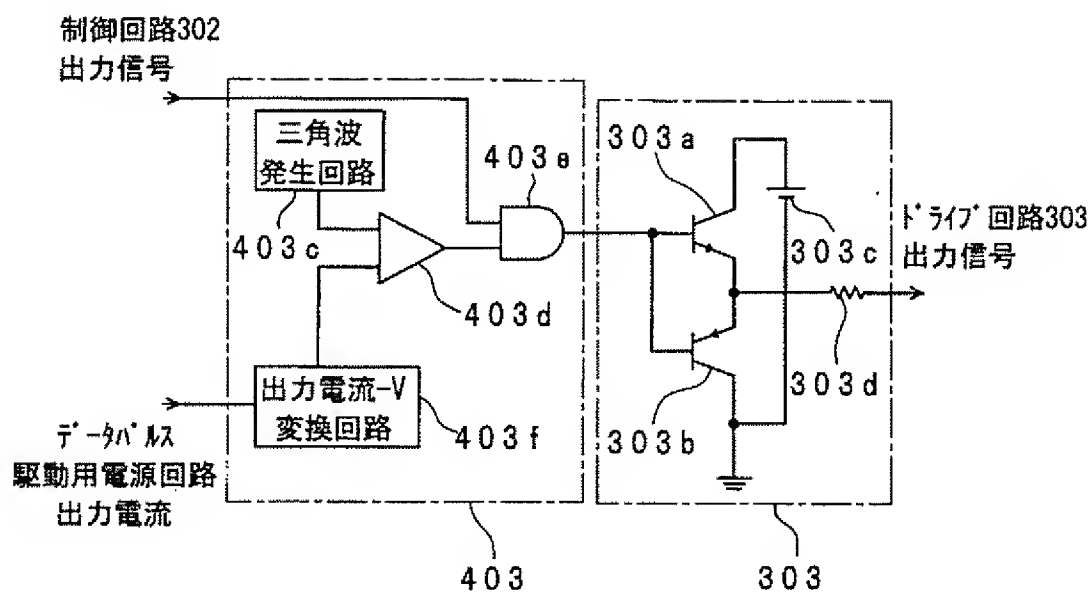
[図14]



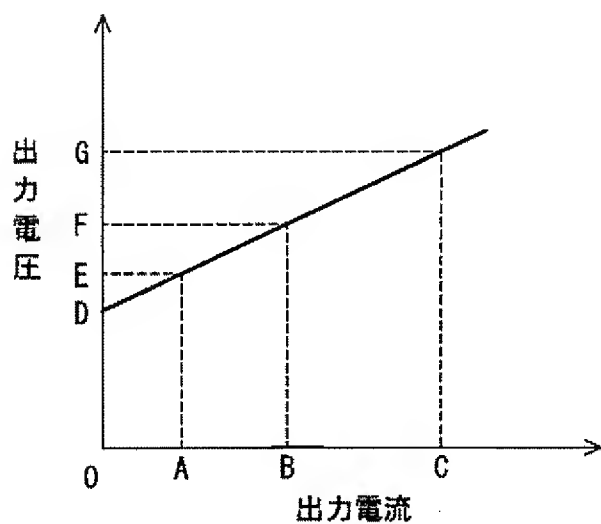
[図15]



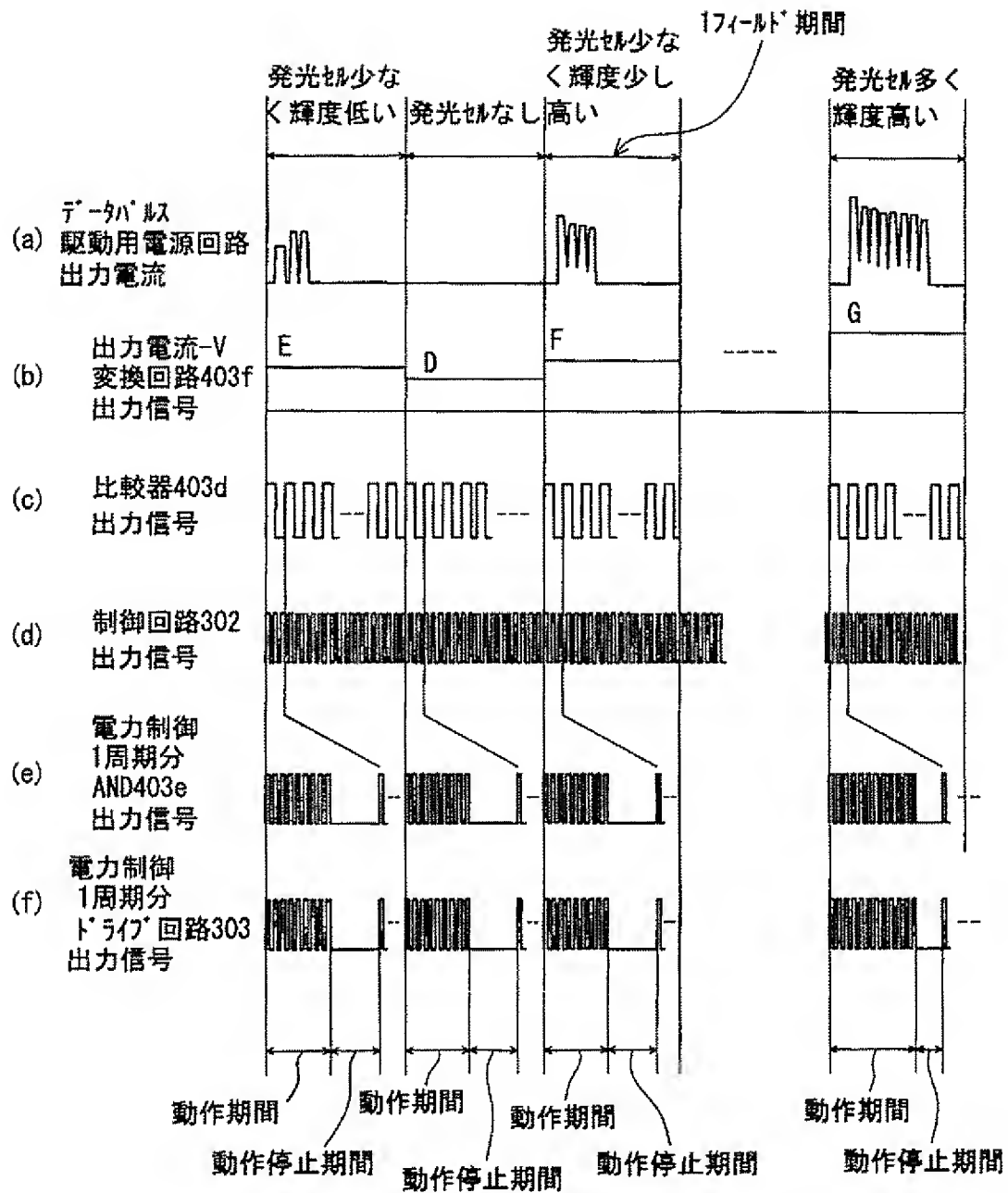
[図16A]



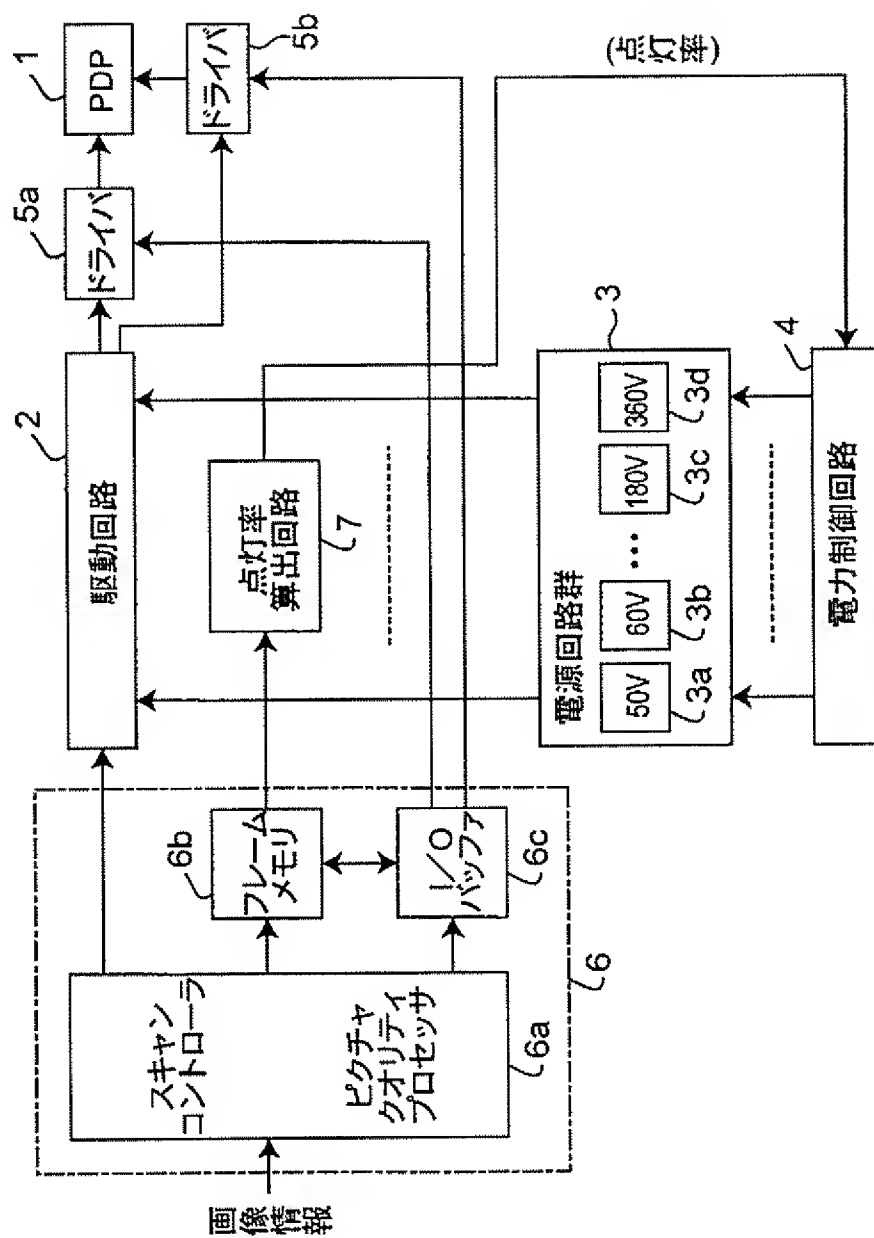
[図16B]



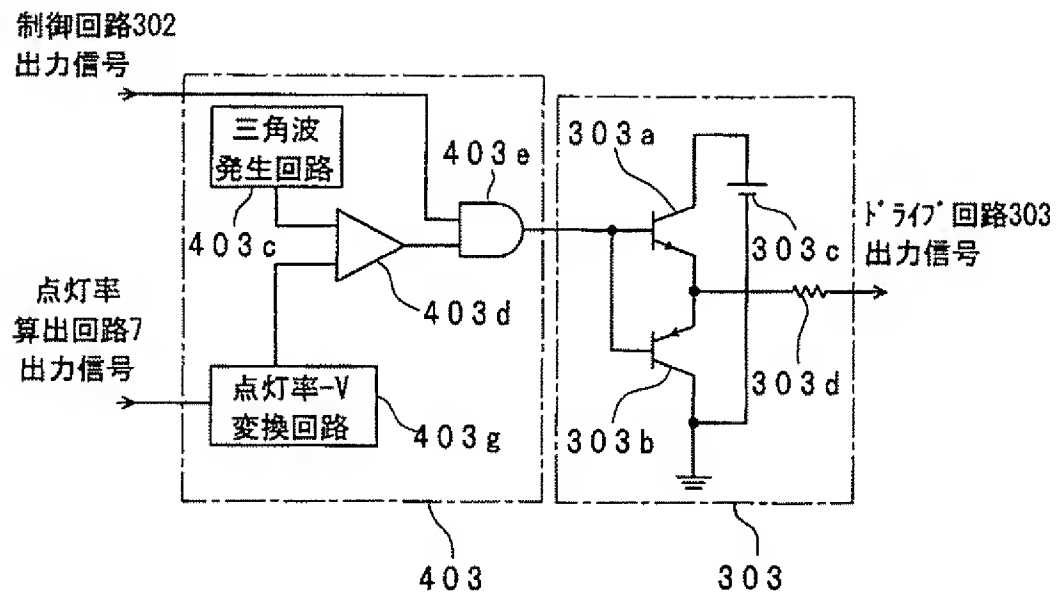
[図17]



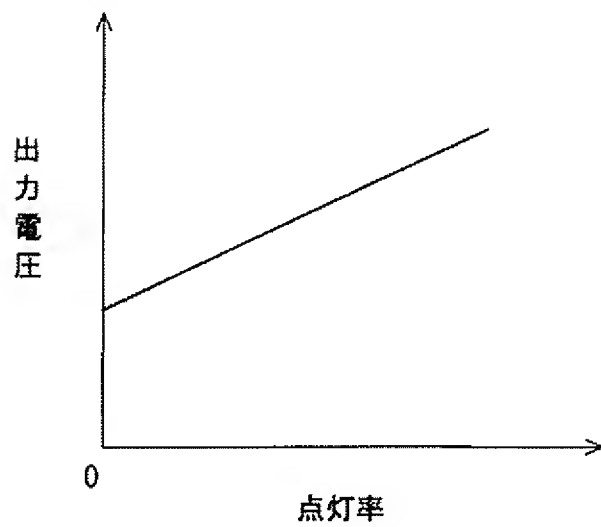
[図18]



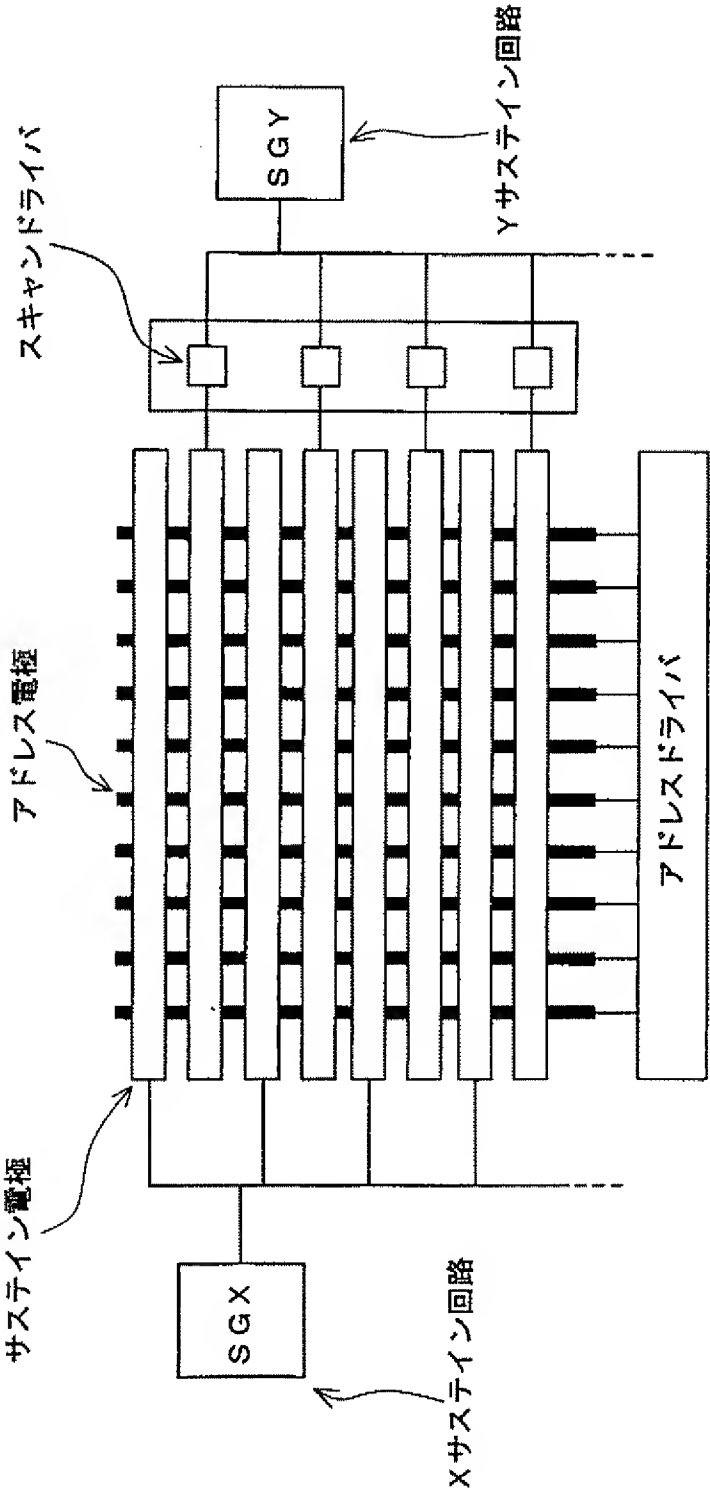
[図19A]



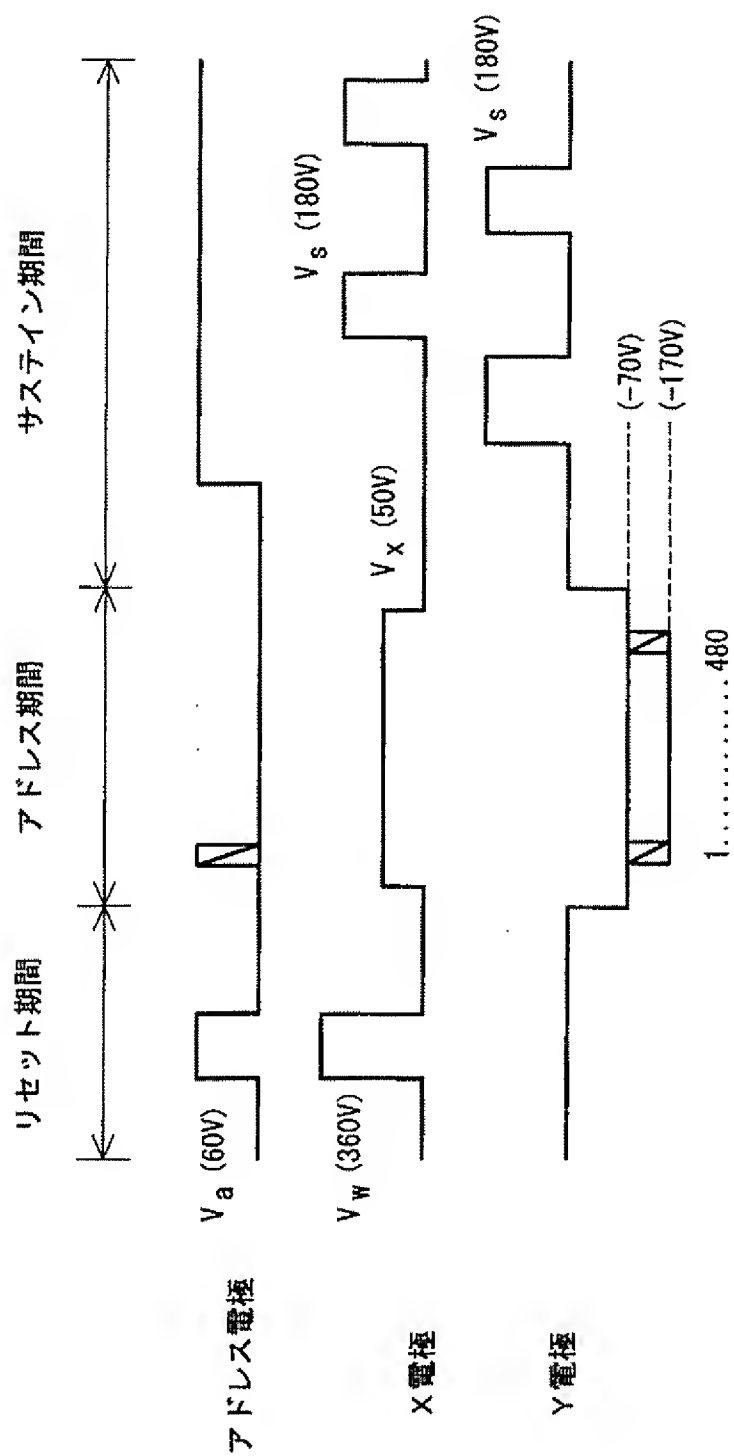
[図19B]



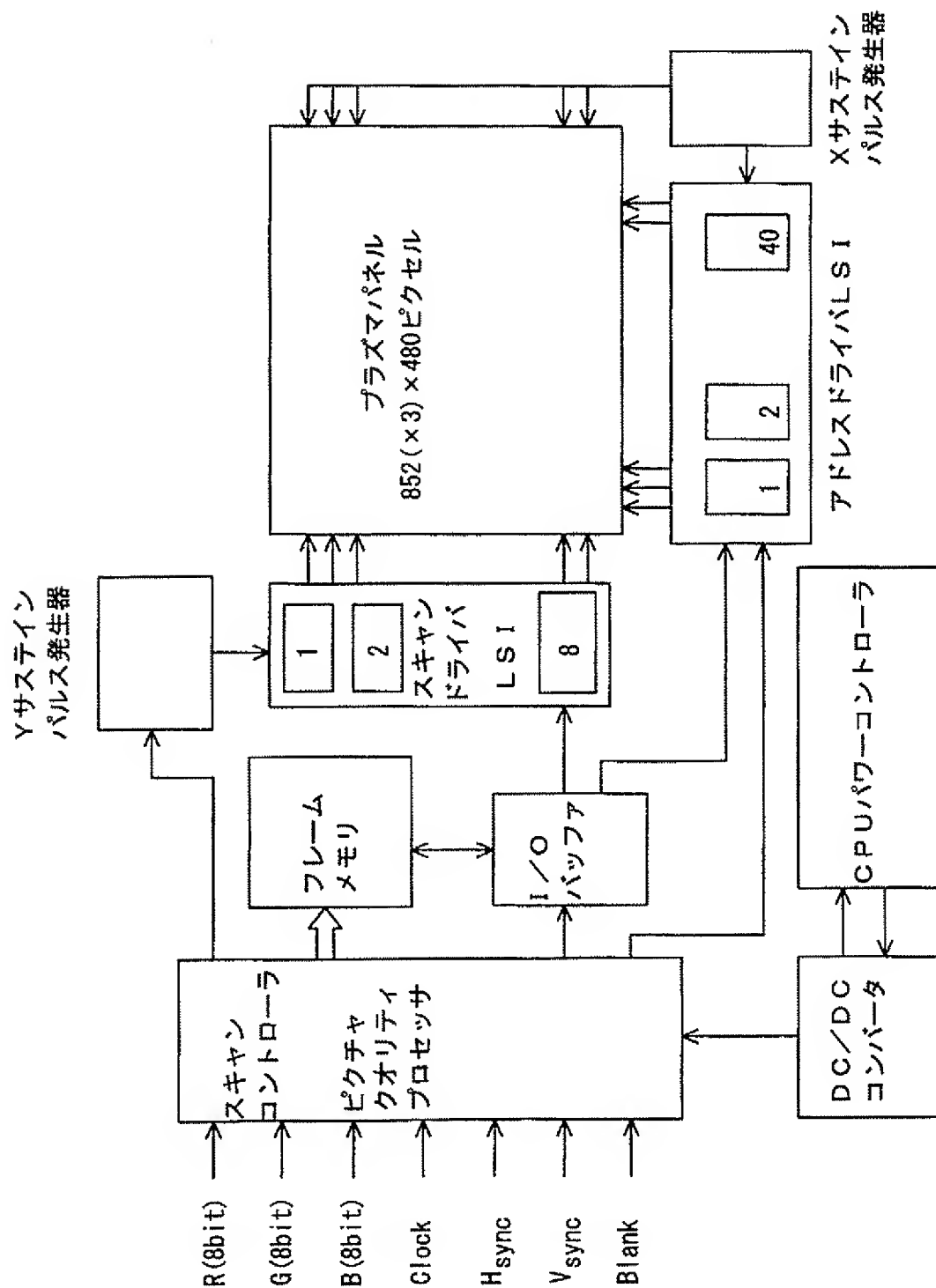
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005533

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.⁷ G09G3/28, 3/20, H04N5/63, 5/66

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.⁷ G09G3/28, 3/20, H04N5/63, 5/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 8-234695 A (Mitsubishi Electric Corp.), 13 September, 1996 (13.09.96), Par. Nos. [0089] to [0120]; Figs. 1, 4 to 6 (Family: none)	1-3, 5, 9-14 4, 6-8
X	JP 2003-302932 A (Samsung Electronics Co., Ltd.), 24 October, 2003 (24.10.03), Par. Nos. [0017] to [0043]; Figs. 4 to 5 & US 6803892 B2 & CN 1448904 A & KR 2003/079173 A	1-3, 5, 9-10, 14
Y	JP 2000-338932 A (Pioneer Electronic Corp.), 08 December, 2000 (08.12.00), Par. Nos. [0023], [0031] & US 6518943 B1	4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 June, 2005 (14.06.05)Date of mailing of the international search report
28 June, 2005 (28.06.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005533

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-149136 A (Matsushita Electric Industrial Co., Ltd.), 02 June, 1998 (02.06.98), Par. No. [0016] (Family: none)	4
Y	JP 2003-257613 A (Toshiba Corp.), 12 September, 2003 (12.09.03), Par. Nos. [0043] to [0045] (Family: none)	6-8
Y	JP 2002-132228 A (Kabushiki Kaisha Advanced Display), 09 May, 2002 (09.05.02), Par. Nos. [0019] to [0036]; Figs. 1 to 2, 4 & US 2002/0050973 A1 & TW 6822633 A	7-8
A	JP 2000-305513 A (NEC Corp.), 02 November, 2000 (02.11.00), Full text; all drawings (Family: none)	1-14
A	JP 7-191623 A (Fujitsu Ltd.), 28 July, 1995 (28.07.95), Full text; all drawings & US 2002/0044145 A1	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G09G3/28, 3/20, H04N5/63, 5/66

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G09G3/28, 3/20, H04N5/63, 5/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 8-234695 A (三菱電機株式会社) 1996.09.13 段落番号【0089】-【0120】、図1、4-6 段落番号【0089】-【0120】、図1、4-6 (ファミリーなし)	1-3, 5, 9-14 4, 6-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

- * 引用文献のカテゴリー
- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

14.06.2005

国際調査報告の発送日

28.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

電話番号 03-3581-1101 内線 3226

2G

9707

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-302932 A (三星電子株式会社) 2003. 10. 24 段落番号【0017】-【0043】、図4-5 &US 6803892 B2 &CN 1448904 A &KR 2003/079173 A	1-3, 5, 9-10, 14
Y	JP 2000-338932 A (パイオニア株式会社) 2000. 12. 08 段落番号【0023】、【0031】 &US 6518943 B1	4
Y	JP 10-149136 A (松下電器産業株式会社) 1998. 06. 02 段落番号【0016】 (ファミリーなし)	4
Y	JP 2003-257613 A (株式会社東芝) 2003. 09. 12 段落番号【0043】-【0045】 (ファミリーなし)	6-8
Y	JP 2002-132228 A (株式会社アドバンスト・ディスプレイ), 2002. 05. 09 段落番号【0019】-【0036】及び図1-2, 4 &US 2002/0050973 A1 &TW 6822633 A	7-8
A	JP 2000-305513 A (日本電気株式会社) 2000. 11. 02, 全文・全図 (ファミリーなし)	1-14
A	JP 7-191623 A (富士通株式会社) 1995. 07. 28, 全文・全図 &US 2002/0044145 A1	1-14